

TWO BIT NON-VOLATILE ELECTRICALLY ERASABLE AND PROGRAMMABLE SEMICONDUCTOR MEMORY CELL UTILIZING ASYMMETRICAL CHARGE TRAPPING

Patent number: JP2001512290T

Publication date: 2001-08-21

Inventor:

Applicant:

Classification:

- international: H01L21/8247; H01L29/788; H01L29/792; H01L27/105

- european:

Application number: JP20000505640T 19980802

Priority number(s): WO1998IL00363 19980802; US19970905286 19970801

Also published as:



WO9907000 (A3)

WO9907000 (A2)

EP1010182 (A3)

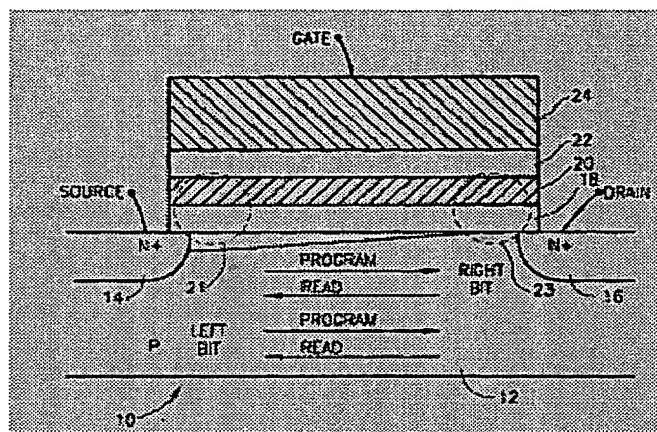
EP1010182 (A2)

EP1010182 (A4)

Abstract not available for JP2001512290T

Abstract of correspondent: WO9907000

A non-volatile electrically erasable programmable read only memory (EEPROM) capable of storing two bit of information having a nonconducting charge trapping dielectric, such as silicon nitride, sandwiched between two silicon dioxide layers acting as electrical insulators is disclosed. The invention includes a method of programming, reading and erasing the two bit EEPROM device. The nonconducting dielectric layer functions as an electrical charge trapping medium. A conducting gate layer is placed over the upper silicon dioxide layer. A left and a right bit are stored in physically different areas of the charge trapping layer, near left and right regions of the memory cell, respectively. Each bit of the memory device is programmed in the conventional manner, using hot electron programming, by applying programming voltages to the gate and to either the left or the right region while the other region is grounded. Hot electrons are accelerated sufficiently to be injected into the region of the trapping dielectric layer near where the programming voltages were applied to. The device, however, is read in the opposite direction from which it was written, meaning voltages are applied to the gate and to either the right or the left region while the other region is grounded. Two bits are able to be programmed and read due to a combination of relatively low gate voltages with reading in the reverse direction. This greatly reduces the potential across the trapped charge region. This permit much shorter programming times by amplifying the effect of the charge trapped in the localized trapping region associated with each of the bits. In addition, both bits of the memory cell can be individually erased by applying suitable erase voltages to the gate and either left or right regions so as to cause electrons to be removed from the corresponding charge trapping region of the nitride layer.



(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)特許出願公表番号

特表2001-512290

(P2001-512290A)

(43)公表日 平成13年8月21日(2001.8.21)

(51)Int.Cl.⁷

識別記号

H01L 21/8247
29/788
29/792
27/105

FI

H01L 29/78
27/10

テマート(参考)

371 5F001
441 5F083
5F101

審査請求 未請求 予備審査請求 有 (全125頁)

(21)出願番号 特願2000-505640(P2000-505640)
(86)(22)出願日 平成10年8月2日(1998.8.2)
(85)翻訳文提出日 平成12年2月1日(2000.2.1)
(86)国際出願番号 PCT/IL98/00363
(87)国際公開番号 WO99/07000
(87)国際公開日 平成11年2月11日(1999.2.11)
(31)優先権主張番号 08/905, 286
(32)優先日 平成9年8月1日(1997.8.1)
(33)優先権主張国 米国(US)

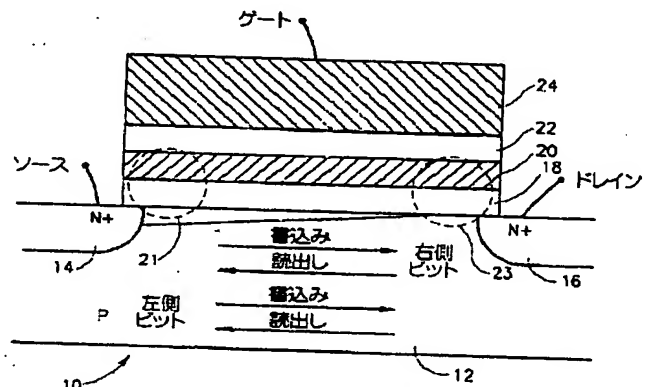
(71)出願人 サイファン・セミコンダクターズ・リミテッド
イスラエル国 インダストリアル・エリ
ア・サウス・ネタニヤ 42504, ハメラチ
ヤ・ストリート 65, ベット・ハソファー
(72)発明者 エイタン, ボアズ
イスラエル国 ラーナナ 43259, アチ・
ダカール・ストリート 4
(74)代理人 弁理士 社本 一夫 (外4名)

最終頁に続く

(54)【発明の名称】 非対称形電荷捕獲を利用した2ビット非揮発性エレクトリカリー・イレーザブル・プログラマブル半導体メモリ・セル

(57)【要約】

ここに開示するのは、2ビットの情報を記憶可能な非揮発性エレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ(EEPROM)である。この2ビットEEPROMは、非電導性の電荷捕獲膜である誘電体膜を備えており、この誘電体膜は、例えば酸化シリコン膜で形成することができる。この誘電体膜は、絶縁膜として機能する2枚の酸化シリコン膜に挟まれている。本発明は更に、この2ビットEEPROMデバイスの書き込み、読出し、及び消去の方法を含むものである。非電導性の誘電体膜は、電荷捕獲媒体として機能する。導電性ゲート膜が、上側の酸化シリコン膜の上に重ねて形成されている。電荷捕獲膜内の離れた2箇所に左側ビットと右側ビットとが記憶され、左側ビットはメモリ・セルの左側領域に近接した位置に形成され、右側ビットはメモリ・セルの右側領域に近接した位置に形成される。このメモリ・デバイスの各々のビットの書き込みは、ホット・エレクトロン書き込み法を用いて、一般的な書き込み方式で行うようにしており、即ち、ゲートに書き込み用電圧を印加し、左側領域と右側領域のいずれか一方



【FIG.2】

(2)

【特許請求の範囲】

【請求項1】 2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ（EEPROM）セルにおいて、

第1導電形の半導体基板と、

前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第1領域と、

前記第1領域から離隔した前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第2領域であって、前記半導体基板内の前記第1領域と該第2領域との間の隙間にチャンネルが形成されるようにした前記第2領域と、

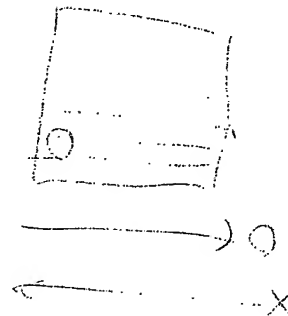
前記半導体基板の前記チャンネル部分の上に重ねて形成され該チャンネル部分を覆う第1絶縁膜と、

前記第1絶縁膜の上に重ねて形成された非導電性電荷捕獲膜と、

前記非導電性電荷捕獲膜の上に重ねて形成された第2絶縁膜と、

前記第2絶縁膜の上に重ねて形成された導電性材料から成るゲートとを備え、

前記電荷捕獲膜は、該電荷捕獲膜内の電荷捕獲領域であって前記第1領域に近接した第1ビットを形成する電荷捕獲領域に注入される電子を受取って保持するように形成されており、この注入により該電荷捕獲領域に蓄積される電子量は、前記メモリ・セルの書き込みを行った方向と逆方向の第1方向に前記メモリ・セルの読出しを行うときの前記メモリ・セルのしきい値電圧が第1所定電圧値より大きい第1しきい値電圧となり、且つ、前記メモリ・セルの書き込みを行った方向と同方向の第2方向に前記メモリ・セルの読出しを行うときの前記メモリ・セルのしきい値電圧が前記第1しきい値電圧より十分に小さい第2しきい値電圧となるような電子量であり、前記第2しきい値電圧が前記第1しきい値電圧より十分に小さいことにより、前記メモリ・セルの読出しを前記第1方向に行うときには前記メモリ・セルが前記第1ビットの情報を記憶することができるが、前記メモリ・セルの読出しを前記第2方向に行うときには前記第1ビットの検出確率を同一のものとして前記メモリ・セルが前記第1ビットの情報を記憶することはできないようにしてあり、



前記電荷捕獲膜は、該電荷捕獲膜内の電荷捕獲領域であって前記第2領域に近接した第2ビットを形成する電荷捕獲領域に注入される電子を受取って保持するように形成されており、この注入により該電荷捕獲領域に蓄積される電子量は、前記メモリ・セルの書込みを行った方向と逆方向の第3方向に前記メモリ・セルの読出しを行うときの前記メモリ・セルのしきい値電圧が第3所定電圧値より大きい第3しきい値電圧となり、且つ、前記メモリ・セルの書込みを行った方向と同方向の第4方向に前記メモリ・セルの読出しを行うときの前記メモリ・セルのしきい値電圧が前記第3しきい値電圧より十分に小さい第4しきい値電圧となるような電子量であり、前記第4しきい値電圧が前記第3しきい値電圧より十分に小さいことにより、前記メモリ・セルの読出しを前記第3方向に行うときには前記メモリ・セルが前記第2ビットの情報を記憶することができるが、前記メモリ・セルの読出しを前記第4方向に行うときには前記第2ビットの検出確率を同一のものとして前記メモリ・セルが前記第2ビットの情報を記憶することはできないようにしてある、

ことを特徴とするメモリ・セル。

【請求項2】 前記第1ビット及び前記第2ビットの消去を、書込みを行ったときに前記非導電性電荷捕獲膜の前記電荷捕獲領域に蓄積された電子を該電荷捕獲領域から排出させることによって行うようにしたことを特徴とする請求項1記載のメモリ・セル。

【請求項3】 前記非導電性電荷捕獲膜の前記第1ビット及び前記第2ビットに対応した前記電荷捕獲領域に蓄積される電荷量は、逆方向に読出しを行う場合のしきい値電圧の変化分が、順方向に読出しを行う場合のしきい値電圧の変化分の10倍以上になるような電荷量であることを特徴とする請求項1記載のメモリ・セル。

【請求項4】 前記非導電性電荷捕獲膜の前記第1ビット及び前記第2ビットに対応した前記電荷捕獲領域に蓄積される電荷量は、逆方向に読出しを行う場合のしきい値電圧の変化分が、順方向に読出しを行う場合のしきい値電圧の変化分の5倍以上になるような電荷量であることを特徴とする請求項1記載のメモリ・セル。

【請求項5】 前記非導電性電荷捕獲膜の前記第1ビット及び前記第2ビットに対応した前記電荷捕獲領域に蓄積される電荷量は、逆方向に読出しを行う場合のしきい値電圧の変化分が、順方向に読出しを行う場合のしきい値電圧の変化分の2倍以上になるような電荷量であることを特徴とする請求項1記載のメモリ・セル。

【請求項6】 前記非導電性電荷捕獲膜の前記第1ビット及び前記第2ビットに対応した前記電荷捕獲領域に蓄積される電荷量は、逆方向に読出しを行う場合のしきい値電圧の変化分が、順方向に読出しを行う場合のしきい値電圧の変化分の1.5倍以上になるような電荷量であることを特徴とする請求項1記載のメモリ・セル。

【請求項7】 前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の下限が、前記チャネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧であり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の上限が、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャネルの領域の両端間に発生する電圧が前記第1ビットの読出しの際に前記第1領域に印加される電圧よりも、また、前記第2ビットの読出しの際に前記第2領域に印加される電圧よりも低くなるようにする電圧であることを特徴とする請求項1記載のメモリ・セル。

【請求項8】 前記第1ビットの書込みが、前記第1領域及び前記ゲートに夫々に書込み用電圧を印加し、前記第2領域を接地し、その結果として流れるチャネル電流を測定することで行われ、且つ、前記第1ビットの読出しが、前記第2領域及び前記ゲートに夫々に読出し用電圧を印加し、前記第1領域を接地し、その結果として流れるチャネル電流を測定することで行われるように前記メモリ・セルが構成されており、更に、前記第2ビットの書込みが、前記第2領域及び前記ゲートに夫々に書込み用電圧を印加し、前記第1領域を接地し、その結果として流れるチャネル電流を測定することで行われ、且つ、前記第2ビットの読出しが、前記第2領域及び前記ゲートに夫々に読出し用電圧を印加し、前記第1領域を接地し、その結果として流れるチャネル電流を測定することで行われるように前記メモリ・セルが構成されている。

書込み、読出し
順方向

○ 読出し時のみ

(5)

記メモリ・セルが構成されている、

ことを特徴とする請求項1記載のメモリ・セル。

【請求項9】 前記メモリ・セルの前記第1ビットの消去が、前記ゲート及び前記第1領域に夫々に消去用電圧を印加することで行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲート及び前記第2領域に夫々に消去用電圧を印加することで行われるように該第2ビットが構成されていることを特徴とする請求項1記載のメモリ・セル。

【請求項10】 前記メモリ・セルの前記第1ビットの消去が、前記ゲートに第1電圧を印加し前記第1領域に接地電位を印加して前記電荷捕獲領域から前記ゲートを介して電子を排出させることによって行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲートに第2電圧を印加し前記第2領域に接地電位を印加して前記電荷捕獲領域から前記ゲートを介して電子を排出させることによって行われるように該第2ビットが構成されていることを特徴とする請求項1記載のメモリ・セル。

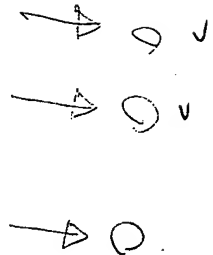
【請求項11】 前記メモリ・セルの前記第1ビットの消去が、前記ゲートに第1電圧を印加し前記第1領域に第2電圧を印加して前記電荷捕獲領域から前記第1領域を介して電子を排出させることによって行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲートに第3電圧を印加し前記第2領域に第4電圧を印加して前記電荷捕獲領域から前記第2領域を介して電子を排出させることによって行われるように該第2ビットが構成されていることを特徴とする請求項1記載のメモリ・セル。

【請求項12】 前記第1絶縁膜及び前記第2絶縁膜が酸化シリコン膜であることを特徴とする請求項1記載のメモリ・セル。

【請求項13】 前記電荷捕獲膜が窒化シリコン膜であることを特徴とする請求項1記載のメモリ・セル。

【請求項14】 前記電荷捕獲膜が、内部に多結晶シリコン細粒体を分散させた酸化シリコン膜であることを特徴とする請求項1記載のメモリ・セル。

【請求項15】 前記電荷捕獲膜が不純物を注入した酸化シリコン膜である請求項1記載のメモリ・セル。



(6)

【請求項16】 前記半導体基板がP形半導体材料から成ることを特徴とする請求項1記載のメモリ・セル。

【請求項17】 前記ソース及び前記ドレインがN+半導体材料から成ることを特徴とする請求項1記載のメモリ・セル。

【請求項18】 2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ (EEPROM) セルにおいて、
第1導電形の半導体基板と、

前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第1領域と、

前記第1領域から離隔した前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第2領域であって、前記半導体基板内の前記第1領域と該第2領域との間にチャンネルが形成されるようにした前記第2領域と、

前記半導体基板の前記チャンネル部分の上に重ねて形成され該チャンネル部分を覆う第1絶縁膜と、

前記第1絶縁膜の上に重ねて形成された非導電性電荷捕獲膜と、

前記非導電性電荷捕獲膜の上に重ねて形成された第2絶縁膜と、

前記第2絶縁膜の上に重ねて形成された導電性材料から成るゲートとを備え、

前記メモリ・セルが、第1ビットを形成する前記電荷捕獲膜の前記第1領域に近接した部分と、第2ビットを形成する前記電荷捕獲膜の前記第2領域に近接した部分とへ、夫々に注入される電子を受取って保持するように構成されており、

前記メモリ・セルの読出しが、該メモリ・セルが書込まれたときの方向と逆方向に行われるようにしてあり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の下限が、前記チャンネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧であり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の上限が、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャンネルの領域の両端間に発生する電圧が前記第1ビットの読出しの際に前記第1領域に印加される電圧よりも、また、前記第

～請求項7

(7)

2ビットの読出しの際に前記第2領域に印加される電圧よりも低くなるようにする電圧である、

ことを特徴とするメモリ・セル。

【請求項19】 前記メモリ・セルの前記第1ビット及び前記第2ビットの消去を、夫々のビットの書込みが行われたときに前記非導電性電荷捕獲膜の夫々の前記電荷捕獲領域に蓄積された電子を当該電荷捕獲領域から排出させることによって行うようにしたことを特徴とする請求項18記載のメモリ・セル。

【請求項20】 前記メモリ・セルの前記第1ビットの書込みが、前記第1領域及び前記ゲートに夫々に書込み用電圧を印加し、前記第2領域を接地し、その結果として流れるチャネル電流を測定することで行われるように該第1ビットが構成されており、前記メモリ・セルの前記第1ビットの読出しが、前記第2領域及び前記ゲートに夫々に読出し用電圧を印加し、前記第1領域を接地し、その結果として流れるチャネル電流を測定することで行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの書込みが、前記第2領域及び前記ゲートに夫々に書込み用電圧を印加し、前記第1領域を接地し、その結果として流れるチャネル電流を測定することで行われるように該第2ビットが構成されており、前記メモリ・セルの前記第2ビットの読出しが、前記第1領域及び前記ゲートに夫々に読出し用電圧を印加し、前記第2領域を接地し、その結果として流れるチャネル電流を測定することで行われるように該第2ビットが構成されていることを特徴とする請求項18記載のメモリ・セル。

【請求項21】 前記メモリ・セルの前記第1ビットの消去が、前記ゲート及び前記第1領域に夫々に消去用電圧を印加することで行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲート及び前記第2領域に夫々に消去用電圧を印加することで行われるように該第2ビットが構成されていることを特徴とする請求項18記載のメモリ・セル。

【請求項22】 前記メモリ・セルの前記第1ビットの消去が、前記ゲートに第1電圧を印加し前記第1領域に接地電位を印加して前記電荷捕獲領域から前記ゲートを介して電子を排出させることによって行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲートに第2電

(8)

圧を印加し前記第2領域に接地電位を印加して前記電荷捕獲領域から前記ゲートを介して電子を排出させることによって行われるように該第2ビット構成されていることを特徴とする請求項18記載のメモリ・セル。

【請求項23】 前記メモリ・セルの前記第1ビットの消去が、前記ゲートに第1電圧を印加し前記第1領域に第2電圧を印加して前記電荷捕獲領域から前記第1領域を介して電子を排出させることによって行われるように該第1ビットが構成されており、前記メモリ・セルの前記第2ビットの消去が、前記ゲートに第3電圧を印加し前記第2領域に第4電圧を印加して前記電荷捕獲領域から前記第2領域を介して電子を排出させることによって行われるように該第2ビットが構成されていることを特徴とする請求項18記載のメモリ・セル。

【請求項24】 前記第1絶縁膜及び前記第2絶縁膜が酸化シリコン膜であることを特徴とする請求項18記載のメモリ・セル。

【請求項25】 前記電荷捕獲膜が窒化シリコン膜であることを特徴とする請求項18記載のメモリ・セル。

【請求項26】 前記電荷捕獲膜が、内部に多結晶シリコン細粒体を分散させた酸化シリコン膜であることを特徴とする請求項18記載のメモリ・セル。

【請求項27】 前記電荷捕獲膜が不純物を注入した酸化シリコン膜である請求項18記載のメモリ・セル。

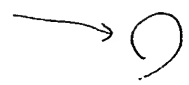
【請求項28】 前記半導体基板がP形半導体材料から成ることを特徴とする請求項18記載のメモリ・セル。

【請求項29】 前記ソース及び前記ドレインがN+半導体材料から成ることを特徴とする請求項18記載のメモリ・セル。

【請求項30】 2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ (EEPROM) セルにおいて、第1導電形の半導体基板と、

前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第1領域と、

前記第1領域から離隔した前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第2領域であって、前記



(9)

半導体基板内の前記第1領域と該第2領域との間にチャンネルが形成されるようにした前記第2領域と、

前記半導体基板の前記チャンネル部分の上に重ねて形成され該チャンネル部分を覆う第1絶縁膜と、

前記第1絶縁膜の上に重ねて形成された非導電性電荷捕獲膜と、

前記非導電性電荷捕獲膜の上に重ねて形成された第2絶縁膜と、

前記第2絶縁膜の上に重ねて形成された導体膜から成るゲートとを備え、

前記メモリ・セルの書込みが、第1ビットを形成する前記非導電性電荷捕獲膜の前記第1領域に近接した領域と、第2ビットを形成する前記非導電性電荷捕獲膜の前記第2領域に近接した領域とへ、夫々にホット・エレクトロンの注入がなされることによって行われるようにしてあり、

前記メモリ・セルの読出しが、該メモリ・セルが書込まれたときの方式と反対の方式で行われるようにしてあり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の下限が、前記チャンネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧であり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の上限が、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャンネルの領域の両端間に発生する電圧が前記第1ビットの読出しの際に前記第1領域に印加される電圧よりも、また、前記第2ビットの読出しの際に前記第2領域に印加される電圧よりも低くなるようにする電圧であるようにしてあり、

前記メモリ・セルの消去が、書込みが行われたときに前記非導電性電荷捕獲膜の夫々の前記電荷捕獲領域に蓄積された電子を、前記ゲートに接地電位を印加して当該電荷捕獲領域から排出させることによって行われ、その電子排出が前記第1ビットの消去の際には前記第1領域を介して行われ、前記第2ビットの消去の際には前記第2領域を介して行われるようにしてある、
ことを特徴とするメモリ・セル。

【請求項31】 2ビットの情報を記憶可能なエレクトリカル・イレーザブル・プログラマブル・リード・オンリー・メモリ（EEPROM）セルにおいて、

(10)

第1導電形の半導体基板と、

前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第1領域と、

前記第1領域から離隔した前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第2領域であって、前記半導体基板内の前記第1領域と該第2領域との間の隙間にチャンネルが形成されるようにした前記第2領域と、

前記半導体基板の前記チャンネル部分の上に重ねて形成され該チャンネル部分を覆う第1絶縁膜と、

前記第1絶縁膜の上に重ねて形成された非導電性電荷捕獲膜と、

前記非導電性電荷捕獲膜の上に重ねて形成された第2絶縁膜と、

前記第2絶縁膜の上に重ねて形成された導体膜から成るゲートとを備え、

前記メモリ・セルの書込みが、第1ビットを形成する前記非導電性電荷捕獲膜の前記第1領域に近接した領域と、第2ビットを形成する前記非導電性電荷捕獲膜の前記第2領域に近接した領域とへ、夫々にホット・エレクトロンの注入がなされることによって行われるようにしてあり、

前記メモリ・セルの読出しが、該メモリ・セルが書込まれたときの方式と反対の方式で行われるようにしてあり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の下限が、前記チャンネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧であり、前記第1ビットないし前記第2ビットの読出しの際に前記ゲートに印加する電圧の上限が、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャンネルの領域の両端間に発生する電圧が前記第1ビットの読出しの際に前記第1領域に印加される電圧よりも、また、前記第2ビットの読出しの際に前記第2領域に印加される電圧よりも低くなるようにする電圧であるようにしてあり、

前記メモリ・セルの消去が、書込みが行われたときに前記非導電性電荷捕獲膜の夫々の前記電荷捕獲領域に蓄積された電子を、前記ゲートに負電位を印加して当該電荷捕獲領域から排出させることによって行われ、その電子排出が前記第1

(11)

ビットの消去の際には前記第1領域を介して行われ、前記第2ビットの消去の際には前記第2領域を介して行われるようにしてある、
ことを特徴とするメモリ・セル。

【請求項32】 チャネルが間に存在する第1領域及び第2領域と、第1酸化シリコン膜と第2酸化シリコン膜とに挟まれた非導電性電荷捕獲材料によって前記チャネルから分離されて前記チャネルの上方に形成されたゲートとを備えた、2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ（EEPROM）セルの書込み、読出し、及び消去を行う方法において、

順方向書込みステップを含み、該順方向書込みステップは、ホット・エレクトロン注入現象を利用して前記電荷捕獲材料へ十分な時間に亘って電荷注入をし、第1ビットを形成する前記電荷捕獲材料の前記第1領域に近接した電荷捕獲領域ないし第2ビットを形成する前記電荷捕獲材料の前記第2領域に近接した電荷捕獲領域に非対称形に電荷を捕獲させることによって行い、前記電荷注入においては、前記メモリ・セルをその書込み方向とは逆方向に読出したときの前記ゲートのしきい値電圧が所定レベルに達するまで電荷を注入するようにし、前記第1ビットに電荷を注入するための非対称形の前記電荷注入は、前記第1領域と前記ゲートとに夫々に書込み用電圧を印加し前記第2領域を接地することによって行い、前記第2ビットに電荷を注入するための非対称形の前記電荷注入は、前記第2領域と前記ゲートとに夫々に書込み用電圧を印加し前記第1領域を接地することによって行い、

前記第1ビットの逆方向読出しを行う第1ビット読出しステップを含み、該第1ビット読出しステップは、前記第2領域と前記ゲートとに夫々に読出し用電圧を印加し前記第1領域を接地した上で、前記第2領域から前記第1領域へ向かって前記メモリ・セルを流れる電流の有無を検出することによって行い、

前記第2ビットの逆方向読出しを行う第2ビット読出しステップを含み、該第2ビット読出しステップは、前記第1領域と前記ゲートとに夫々に読出し用電圧を印加し前記第2領域を接地した上で、前記第1領域から前記第2領域へ向かって前記メモリ・セルを流れる電流の有無を検出することによって行い、

(12)

前記メモリ・セルの前記第1ビットの消去を行う第1ビット消去ステップを含み、該第1ビット消去ステップは、前記ゲートと前記第1領域とに夫々に消去用電圧を印加して前記電荷捕獲領域から電子を排出させることによって行い、

前記メモリ・セルの前記第2ビットの消去を行う第2ビット消去ステップを含み、該第2ビット消去ステップは、前記ゲートと前記第2領域とに夫々に消去用電圧を印加して前記電荷捕獲領域から電子を排出させることによって行う、ことを特徴とする方法。

【請求項33】 前記第1ビット逆方向読出しステップないし前記第2ビット逆方向読出しステップにおいて印加するゲート電圧が、前記チャンネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にするゲート電圧と、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャンネルの領域の両端間に発生する電圧が前記第1ビットの読出しの際に前記第1領域に印加される電圧よりも、また、前記第2ビットの読出しの際に前記第2領域に印加される電圧よりも低くなるようにするゲート電圧との間にあることを特徴とする請求項32記載の方法。

【請求項34】 第1領域と、前記第1領域から離隔した第2領域と、前記第1領域と前記第2領域との間に存在するチャンネルと、ゲートとを備え、更に、前記ゲートと前記チャンネルとの間に形成された第1酸化シリコン膜と第2酸化シリコン膜とに挟まれた非導電性電荷捕獲材料を備えた、2ビットの情報を記憶可能なエレクトロリカー・イレーザブル・プログラマブル・リード・オンリー・メモリ(E E P R O M)セルの書込み、読出し、及び消去を行う方法において、

順方向書込みステップを含み、該順方向書込みステップは、ホット・エレクトロン注入現象を利用して前記電荷捕獲材料へ十分な時間に亘って電荷注入をし、第1ビットを形成する前記電荷捕獲材料の前記第1領域に近接した電荷捕獲領域ないし第2ビットを形成する前記電荷捕獲材料の前記第2領域に近接した電荷捕獲領域に非対称形に電荷を捕獲させることによって行い、前記電荷注入においては、前記メモリ・セルをその書込み方向とは逆方向に読出したときの前記ゲートのしきい値電圧が所定レベルに達するまで電荷を注入するようにし、前記第1ビットに電荷を注入するための非対称形の前記電荷注入は、前記第1領域と前記第2

(13)

ートとに夫々に書き込み用電圧を印加し前記第2領域を接地することによって行い、前記第2ビットに電荷を注入するための非対称形の前記電荷注入は、前記第2領域と前記ゲートとに夫々に書き込み用電圧を印加し前記第1領域を接地することによって行い、

前記第1ビットの逆方向読出しを行う第1ビット読出しステップを含み、該第1ビット読出しステップは、前記第2領域と前記ゲートとに夫々に読出し用電圧を印加し前記第1領域を接地した上で、前記第2領域から前記第1領域へ向かって前記メモリ・セルを流れる電流の有無を検出することによって行い、

前記第2ビットの逆方向読出しを行う第2ビット読出しステップを含み、該第2ビット読出しステップは、前記第1領域と前記ゲートとに夫々に読出し用電圧を印加し前記第2領域を接地した上で、前記第1領域から前記第2領域へ向かって前記メモリ・セルを流れる電流の有無を検出することによって行い、

前記メモリ・セルの前記第1ビットの消去を行う第1ビット消去ステップを含み、該第1ビット消去ステップは、前記ゲートに所定電位を印加して前記電荷捕獲領域から前記第1領域を介して電子を排出させることによって行い、

前記メモリ・セルの前記第2ビットの消去を行う第2ビット消去ステップを含み、該第2ビット消去ステップは、前記ゲートに所定電位を印加して前記電荷捕獲領域から前記第2領域を介して電子を排出させることによって行う、ことを特徴とする方法。

【請求項35】 前記ゲートに印加する前記所定電位が接地電位であることを特徴とする請求項34記載の方法。

【請求項36】 前記ゲートに印加する前記所定電位が負電位であることを特徴とする請求項34記載の方法。

【請求項37】 第1導電形の半導体基板と、前記第1導電形とは反対の導電形である第2導電形の第1ビットを形成する第1領域と、前記第1領域から離隔した前記第2導電形の第2ビットを形成する第2領域と、前記基板内の前記第1領域と前記第2領域との間に形成されたチャンネルと、導電性ゲートと、前記ゲートと前記チャンネルとの間に形成された第1酸化シリコン膜と第2酸化シリコン膜とに挟まれた非導電性電荷捕獲材料とを備えた、2ビットの情報を記憶可能なエレ

(14)

クトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ (E
EPROM) セルの書込み、読出し、及び消去を行う方法において、

前記第 1 ビットの順方向書込みを行う第 1 ビット書込みステップを含み、該第
1 ビット書込みステップは、

前記ゲートに第 1 書込み用電圧を印加し、

前記第 1 領域に第 2 書込み用電圧を印加し、

前記第 2 領域を接地し、

以上により、ホット・エレクトロン注入現象を利用して前記電荷捕獲材料へ十
分な時間に亘って電荷注入をし、第 1 ビットを形成する前記電荷捕獲材料の前記
第 1 領域に近接した電荷捕獲領域に非対称形に電荷を捕獲させて、前記メモリ・
セルをその書込み方向とは逆方向に読出したときの前記ゲートのしきい値電圧が
少なくとも所定レベルに達するようにすることによって行い、

前記第 2 ビットの順方向書込みを行う第 2 ビット書込みステップを含み、該第
2 ビット書込みステップは、

前記ゲートに第 3 書込み用電圧を印加し、

前記第 2 領域に第 4 書込み用電圧を印加し、

前記第 1 領域を接地し、

以上により、ホット・エレクトロン注入現象を利用して前記電荷捕獲材料へ十
分な時間に亘って電荷注入をし、第 2 ビットを形成する前記電荷捕獲材料の前記
第 2 領域に近接した電荷捕獲領域に非対称形に電荷を捕獲させて、前記メモリ・
セルをその書込み方向とは逆方向に読出したときの前記ゲートのしきい値電圧が
少なくとも所定レベルに達するようにすることによって行い、

前記第 1 ビットの逆方向読出しを行う第 1 ビット読出しステップを含み、該第
1 ビット読出しステップは、

前記ゲートに第 1 読出し用電圧を印加し、

前記第 2 領域に第 2 読出し用電圧を印加し、

前記第 1 領域を接地し、

前記第 2 領域から前記第 1 領域へ向かって前記メモリ・セルを流れる電流の
有無を検出することによって行い、

(15)

以上において、前記第1読出し用電圧は、前記チャネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧と、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャネルの領域の両端間に発生する電圧が前記第2読出し用電圧よりも低くなるようにする電圧との間にあり、

前記第2ビットの逆方向読出しを行う第2ビット読出しステップを含み、該第2ビット読出しステップは、

前記ゲートに第3読出し用電圧を印加し、

前記第1領域に第4読出し用電圧を印加し、

前記第2領域を接地し、

前記第1領域から前記第2領域へ向かって前記メモリ・セルを流れる電流の有無を検出することによって行い、

以上において、前記第3読出し用電圧は、前記チャネル内に十分な反転状態を発生させて未書込み状態を検出可能にし且つ読出し対象ではない方のビットにおいてリード・スルーを発生可能にする電圧と、前記電荷捕獲領域内の捕獲電荷の真下に位置する前記チャネルの領域の両端間に発生する電圧が前記第4読出し用電圧よりも低くなるようにする電圧との間にあり、

前記メモリ・セルの前記第1ビットの消去を行う第1ビット消去ステップを含み、該第1ビット消去ステップは、

前記ゲートに第1消去用電圧を印加し、

前記第1領域に第2消去用電圧を印加することで行い、

以上において、前記第1消去用電圧及び前記第2消去用電圧は、前記電荷捕獲領域から電子を排出させることができる十分な電圧であり、

前記メモリ・セルの前記第2ビットの消去を行う第2ビット消去ステップを含み、該第2ビット消去ステップは、

前記ゲートに第3消去用電圧を印加し、

前記第2領域に第4消去用電圧を印加することで行い、

以上において、前記第3消去用電圧及び前記第4消去用電圧は、前記電荷捕獲領域から電子を排出させることができる十分な電圧である、

(16)

ことを特徴とする方法。

【請求項 38】 2 ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ (EEPROM) セルにおいて、チャンネル領域によって互いから隔てられた第 1 領域及び第 2 領域を備えた第 1 導電形の半導体基板であって、前記第 1 領域及び前記第 2 領域の導電形は前記第 1 導電形とは反対の第 2 導電形であり、前記チャンネル領域の通常時の導電形は前記第 1 導電形である、前記半導体基板と、

前記チャンネル領域の上を覆うように形成された誘電体構造であって、第 1 ビットを形成する部分である前記第 1 領域の上方でしかも前記第 1 領域に近接した部分と、第 2 ビットを形成する部分である前記第 2 領域の上方でしかも前記第 2 領域に近接した部分とに所定電荷を保持可能であり、第 1 酸化シリコン膜と、第 2 酸化シリコン膜と、それら 2 つの酸化シリコン膜の間に挟まれて形成された電荷捕獲材料とを含んでいる、前記誘電体構造と、

前記誘電体構造の上に重ねて形成された導体膜から成るゲートと、

前記第 1 領域に接続可能な第 1 電圧源と、前記ゲートに接続可能な第 2 電圧源と、前記第 2 領域に接続可能な第 3 電圧源と、

第 1 制御部であって、前記第 1 電圧源から前記第 1 領域に第 1 電圧が印加されるようにし、前記第 2 電圧源から前記ゲートに第 2 電圧が印加されるようにし、前記第 3 電圧源から前記第 2 領域に第 3 電圧が印加されるようにすることで、ホット・エレクトロン注入現象によって前記誘電体構造の前記第 1 領域に近接した部分に電子が注入されるようにすると共に、前記第 1 電圧源から前記第 1 領域に第 4 電圧が印加されるようにし、前記第 2 電圧源から前記ゲートに第 5 電圧が印加されるようにし、前記第 3 電圧源から前記第 2 領域に第 6 電圧が印加されるようにすることで、前記メモリ・セルにおいて、前記第 1 ビットの手込みがなされた方向とは逆方向に前記第 1 ビットの手出しがなされるようにする、前記第 1 制御部と、

第 2 制御部であって、前記第 1 電圧源から前記第 2 領域に第 7 電圧が印加されるようにし、前記第 2 電圧源から前記ゲートに第 8 電圧が印加されるようにし、前記第 3 電圧源から前記第 1 領域に第 9 電圧が印加されるようにすることで、ホ

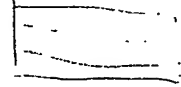


図 13

(17)

ット・エレクトロン注入現象によって前記誘電体構造の前記第2領域に近接した部分に電子が注入されるようにすると共に、前記第1電圧源から前記第2領域に第10電圧が印加されるようにし、前記第2電圧源から前記ゲートに第11電圧が印加されるようにし、前記第3電圧源から前記第1領域に第12電圧が印加されるようにすることで、前記メモリ・セルにおいて、前記第2ビットの書き込みがなされた方向とは逆方向に前記第2ビットの読出しがなされるようにする、前記第2制御部と、
を備えたことを特徴とするメモリ・セル。

【請求項39】 前記電荷捕獲材料が窒化シリコン膜から成り、該窒化シリコン膜の厚さを、前記第1ビットに関しては該窒化シリコン膜の前記第1領域に近接した局所部分に所定電荷を受取って保持し、前記第2ビットに関しては該窒化シリコン膜の前記第2領域に近接した局所部分に所定電荷を受取って保持し受取って保持し、前記誘電体構造の残りの部分は、前記窒化シリコン膜内の電荷を、前記窒化シリコン膜の電荷が形成された前記部分に保持するのを助けるような厚さとしてあることを特徴とする請求項38記載のメモリ・セル。

【請求項40】 前記第1酸化シリコン膜が、前記窒化シリコン膜と前記半導体基板との間に形成されており、前記第2酸化シリコン膜が前記窒化シリコン膜と前記ゲートとの間に形成されていることを特徴とする請求項39記載のメモリ・セル。

【請求項41】 前記半導体基板がシリコンから成り、前記第1酸化シリコン膜が前記半導体基板に熱酸化処理を施して形成したものであることを特徴とする請求項38記載のメモリ・セル。

【請求項42】 前記電荷捕獲領域が窒化シリコンから成り、前記第2酸化シリコン膜が少なくとも部分的に前記窒化シリコン膜の上部に熱酸化処理を施して形成したものであることを特徴とする請求項38記載のメモリ・セル。

【請求項43】 前記第2酸化シリコン膜が少なくとも部分的に酸化シリコンのデポジションによって形成されたものであることを特徴とする請求項38記載のメモリ・セル。

【請求項44】 前記第2酸化シリコン膜が少なくとも部分的にTEOSによる

→ ○ 窒化シリコン

→ ○ 酸化シリコン

→ ○ 酸化シリコン
酸化シリコン

→ ○ TEOS

(18)

酸化シリコンのデポジションによって形成されたものであることを特徴とする請求項 38 記載のメモリ・セル。

【請求項 45】 前記第 2 酸化シリコン膜が、前記窒化シリコン膜の上面に熱酸化処理を施すか、所定反応物質からの化学気相成長法によるか、TEOS の分解による酸化シリコンの気相成長法によるかのいずれかによって形成されたものであることを特徴とする請求項 39 記載のメモリ・セル。

【請求項 46】 前記誘電体構造が、内部に多結晶シリコン細粒体を分散させた酸化シリコン膜から成り、該多結晶シリコン細粒体は、多結晶シリコンに電荷を固定保持することのできるものであることを特徴とする請求項 38 記載のメモリ・セル。

【請求項 47】 前記誘電体構造が、電荷の移動を妨げて滞留させることのできる不純物を含有していることを特徴とする請求項 38 記載のメモリ・セル。

【請求項 48】 前記誘電体構造は、内部の前記メモリ・セルのドレイン領域に近接した位置に多結晶シリコン細粒体が分散しており、該多結晶シリコン細粒体は、捕獲電荷を蓄積することのできるものであることを特徴とする請求項 38 記載のメモリ・セル。

【請求項 49】 前記誘電体構造は、その少なくとも一部が、高シリコン濃度雰囲気中においてシリコンの凝結体が、ランダムに酸化シリコン膜のある部分の内部に分散するようにして、酸化シリコンの気相成長を行うことで形成されており、前記シリコン凝結体が、前記酸化シリコン膜の前記部分に注入された捕獲電荷を固定保持するように働くことを特徴とする請求項 38 記載のメモリ・セル。

【請求項 50】 2 ビットの情報を記憶可能な半導体メモリ・セルにおいて、

間に形成されたチャネル領域によって互いから隔てられた第 1 領域及び第 2 領域を備えた第 1 導電形の基板であって、前記第 1 領域及び前記第 2 領域の導電形は前記第 1 導電形とは反対の第 2 導電形であり、前記チャネル領域の通常時の導電形は前記第 1 導電形である、前記基板と、

誘電体構造であって、前記チャネル領域の上を覆うようにして前記第 1 領域と前記第 2 領域とに近接して形成された電荷捕獲領域に電荷を保持可能であり、前記第 1 領域に近接した前記電荷捕獲領域が第 1 ビットを形成し、前記第 2 領域に

(19)

近接した前記電荷捕獲領域が第 2 ビットを形成する、前記誘電体構造と、

前記誘電体構造の上に重ねて形成された導電性ゲートと、

前記第 1 領域に第 1 電圧を印加し前記ゲート領域に第 2 電圧を印加することによって、前記第 1 領域に近接した前記電荷捕獲領域に電子を保持蓄積させて前記第 1 ビットを形成する手段と、

前記第 2 領域に第 3 電圧を印加し前記ゲート領域に前記第 2 電圧を印加することによって、前記第 2 領域に近接した前記電荷捕獲領域に電子を保持蓄積させて前記第 2 ビットを形成する手段と、

前記第 2 領域に第 4 電圧を印加し前記ゲートに第 5 電圧を印加することによって、前記第 1 ビットを表す前記誘電体構造の前記第 1 領域に近接した前記電荷捕獲領域における電荷の蓄積の有無を示す電流が読出されるようにし、前記第 5 電圧は、前記第 1 領域に近接した前記電荷捕獲領域に電荷が蓄積していないときに前記チャネルを反転状態にするのに十分な第 6 電圧と、該電荷捕獲領域に電荷が蓄積しているときに該電荷捕獲領域の端部の真下に位置する前記チャネル内の位置において前記第 4 電圧以下の電圧を発生させるのに十分な第 7 電圧との間の電圧である、電圧印加手段と、

前記第 1 領域に第 8 電圧を印加し前記ゲートに第 9 電圧を印加することによって、前記第 2 ビットを表す前記誘電体構造の前記第 2 領域に近接した前記電荷捕獲領域における電荷の蓄積の有無を示す電流が読出されるようにし、前記第 9 電圧は、前記第 2 領域に近接した前記電荷捕獲領域に電荷が蓄積していないときに前記チャネルを反転状態にするのに十分な第 10 電圧と、該電荷捕獲領域に電荷が蓄積しているときに該電荷捕獲領域の端部の真下に位置する前記チャネル内の位置において前記第 8 電圧以下の電圧を発生させるのに十分な電圧との間の電圧である、電圧印加手段と、

を備えたことを特徴とするメモリ・セル。

【請求項 51】 前記誘電体構造が更に、

前記基板上に形成された第 1 酸化シリコン膜と、

前記第 1 ビットを形成する第 1 所定部分と、前記第 2 ビットを形成する第 2 所定部分とに電荷を保持することのできる、前記第 1 酸化シリコン膜上に形成され

(20)

た窒化シリコン膜と、

前記電荷捕獲領域に捕獲された電荷が該窒化シリコン膜内に発生する電界の作用により移動するのを阻止しようとする該窒化シリコン膜の電荷移動阻止性能を強化する、前記窒化シリコン膜上に形成された第2酸化シリコン膜と、

を含んでいることを特徴とする請求項50記載のメモリ・セル。

【請求項52】 非対称形電荷捕獲を利用した2ビットの情報を記憶可能な非揮発性エレクトリカリー・イレーザブル・プログラマブル半導体メモリ・セルの動作方法であって、前記メモリ・セルが第1導電形の半導体基板を備えており、該半導体基板には前記第1導電形とは反対の第2導電形の第1領域及び第2領域が形成されており、前記メモリ・セルが更に、前記第1領域と前記第2領域との間に形成されたチャンネルと、該チャンネルの上に重ねて形成された誘電体構造とを備えており、該誘電体構造が少なくとも窒化シリコン膜を含んでおり、該窒化シリコン膜が、第1ビットを形成する部分である前記第1領域の上方でしかも前記第1領域に近接した第1部分と、第2ビットを形成する部分である前記第2領域の上方でしかも前記第2領域に近接した第2部分とに、電荷を捕獲し且つ局在させて保持するものであり、更に、前記誘電体構造の上に重ねて導電性ゲートが形成されている、前記方法において、

前記窒化シリコン膜の前記第1部分及び前記第2部分に電荷を付与するステップを含み、

前記第1領域における電圧より大きな第1電圧を前記第2領域に印加すると共に前記導電性ゲートに第2電圧を印加するステップを含み、前記第2電圧は、前記窒化シリコン膜の前記電荷を保持している前記第1部分の真下に位置する前記チャンネルの対応部分の両端間の電圧より小さく、前記第2電圧は前記窒化シリコン膜の前記第1部分に電荷が付与されていないときには前記デバイスによって第1電流が読出されるようにし、前記窒化シリコン膜の前記第1部分に局在電荷が付与されているときには、前記第1電流より小さい電流またはゼロ電流である第2電流が読出されるようにする電圧であり、前記局在電荷は、前記第2領域に電圧を印加すると共に前記ゲート領域に電圧を印加することによってデバイスの読出しを行うときのデバイスのしきい値電圧と同一のしきい値電圧を達成するため

(21)

に必要な局在電荷よりかなり小さく、

前記第2領域における電圧より大きな第3電圧を前記第1領域に印加すると共に前記導電性ゲートに第4電圧を印加するステップを含み、前記第4電圧は、前記窒化シリコン膜の前記電荷を保持している前記第2部分の真下に位置する前記チャンネルの対応部分の両端間の電圧より小さく、前記第4電圧は前記窒化シリコン膜の前記第2部分に電荷が付与されていないときには前記デバイスによって第3電流が読出されるようにし、前記窒化シリコン膜の前記第2部分に局在電荷が付与されているときには、前記第3電流より小さい電流またはゼロ電流である第4電流が読出されるようにする電圧であり、前記局在電荷は、前記第1領域に電圧を印加すると共に前記ゲート領域に電圧を印加することによってデバイスの読出しを行うときのデバイスのしきい値電圧と同一のしきい値電圧を達成するために必要な局在電荷より小さい、
ことを特徴とする方法。

【請求項53】 2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ (EEPROM) セルにおいて、
第1導電形の半導体基板と、

前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第1領域と、

前記第1領域から離隔した前記半導体基板の一部分に前記半導体基板の導電形とは反対の導電形となるようにドーピングを施して形成した第2領域と、

前記半導体基板内の前記第1領域と前記第2領域との間の隙間に形成されたチャンネルと、

前記チャンネルの上に重ねて形成され該チャンネルを覆う第1絶縁膜と、

前記第1絶縁膜の上に重ねて形成された非導電性電荷捕獲膜と、

前記非導電性電荷捕獲膜の上に重ねて形成された第2絶縁膜と、

前記第2絶縁膜の上に重ねて形成された導電性材料から成るゲートとを備え、

前記非導電性電荷捕獲膜は、該非導電性電荷捕獲膜内の電荷捕獲領域であって前記第1領域に近接した第1ビットを形成する電荷捕獲領域に第1所定量の電子を受取って保持し、また、該非導電性電荷捕獲膜内の電荷捕獲領域であって前記

(22)

第2領域に近接した第2ビットを形成する電荷捕獲領域に第2所定量の電子を受取って保持するように形成されており、前記電荷捕獲膜は窒化シリコン膜で構成されており、該窒化シリコン膜の厚さは、前記第1ビットないし前記第2ビットを成す捕獲蓄積電荷に由来する横方向電荷が、当該捕獲蓄積電荷の大きな横方向拡散を発生させ得る横方向電界の大きさに達することのない厚さであり、電荷の前記第1所定量及び電荷の前記第2所定量は、前記メモリ・セルの逆方向読出しを行うときに前記チャネルを反転状態にするために必要とされるしきい値電圧上昇を発生させるが、前記メモリ・セルの順方向読出しを行うときに前記チャネルを反転状態にするために必要とされるしきい値電圧上昇を発生させるには不十分な量である、

ことを特徴とするメモリ・セル。

【請求項54】 前記窒化シリコン膜の厚さが、前記第1ビット及び前記第2ビットの各々を形成する夫々の前記電荷捕獲領域内の横方向電荷を所定値以下に抑え、それによって前記窒化シリコン膜内の蓄積電荷の横方向の拡散を抑え、もって、当該横方向拡散に起因する、前記電荷捕獲領域の真下に位置する前記チャネルの対応部分のしきい値電圧の低下量を所定量以下に抑え得る厚さに選定されていることを特徴とする請求項53記載のメモリ・セル。

【請求項55】 蓄積電荷の横方向拡散に起因する、前記第1ビットないし前記第2ビットの各々を形成する夫々の前記電荷捕獲領域の真下に位置する前記チャネルの対応部分のしきい値電圧の低下量が、横方向拡散が発生する前の前記チャネルの当該対応部分のしきい値電圧の10%以下となるようにしたことを特徴とする請求項54記載のメモリ・セル。

【請求項56】 蓄積電荷の横方向拡散に起因する、前記第1ビットないし前記第2ビットの各々を形成する夫々の前記電荷捕獲領域の真下に位置する前記チャネルの対応部分のしきい値電圧の低下量が、横方向拡散が発生する前の前記チャネルの当該対応部分のしきい値電圧の5%以下となるようにしたことを特徴とする請求項54記載のメモリ・セル。

【請求項57】 2ビットの情報を記憶可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ・セルにおいて、

→ O Sil/A¹² 12

(23)

第1導電形の半導体基板と、
チャネル領域によって互いが隔てられ前記半導体基板に形成された前記第1導電形とは反対の第2導電形の第1領域及び第2領域と、
前記チャネル領域上に、第1端を前記第1領域に近接させ第2端を前記第2領域に近接させて前記第1領域と前記第2領域との間に形成された多層誘電体構造と、

前記多層誘電体構造上に形成された前記チャネル領域の電圧を制御する導電性ゲートとを備え、

前記多層誘電体構造の前記第1端に捕獲された第1捕獲電荷と、前記多層誘電体構造の前記第2端に捕獲された第2捕獲電荷とによって、前記メモリ・セルに記憶させることのできる2ビットの情報が表されるようにした、
ことを特徴とするメモリ・セル。

【請求項58】 前記第1捕獲電荷が2進数の「1」を表し、前記第2捕獲電荷が2進数の「0」を表すことを特徴とする請求項57記載の構造。

【請求項59】 前記第1捕獲電荷が2進数の「0」を表し、前記第2捕獲電荷が2進数の「1」を表すことを特徴とする請求項57記載の構造。

【請求項60】 前記第1捕獲電荷が2進数の「1」を表し、前記第2捕獲電荷が2進数の「1」を表すことを特徴とする請求項57記載の構造。

【請求項61】 前記第1捕獲電荷が2進数の「0」を表し、前記第2捕獲電荷が2進数の「1」を表すことを特徴とする請求項57記載の構造。

【請求項62】 前記多層誘電体構造の内部に捕獲される前記第1捕獲電荷が前記第1領域と前記基板との間の接合部に沿った位置に捕獲され、前記多層誘電体構造の内部に捕獲される前記第2捕獲電荷が前記第2領域と前記基板との間の接合部に沿った位置に捕獲されることを特徴とする請求項57記載の構造。

【請求項63】 前記多層誘電体構造の内部に捕獲される前記第1捕獲電荷の分布幅と前記多層誘電体構造の内部に捕獲される前記第2捕獲電荷の分布幅とが、前記第2捕獲電荷が前記メモリ・セルから読出されるときに前記第1捕獲電荷の真下に位置する前記チャネルの対応部分にパンチ・スルーが発生し、前記第1捕獲電荷が前記メモリ・セルから読出されるときに前記第2捕獲電荷の真下に位置

(24)

する前記チャネルの対応部分にパンチ・スルーが発生するような分布幅であることを特徴とする請求項62記載の構造。

【請求項64】 前記第1捕獲電荷は、前記導電性ゲートに低電圧を印加し前記第1領域に正電圧を印加することで消去可能であり、前記第2捕獲電荷は、前記導電性ゲートに低電圧を印加し前記第2領域に正電圧を印加することで消去可能であることを特徴とする請求項57記載の構造。

【請求項65】 前記導電性ゲートに第1所定電圧を印加し、前記第2領域に第2所定電圧を印加し、前記第1領域を接地することにより、前記第1捕獲電荷の量が所定量以下のときには前記第1領域と前記第2領域との間の前記チャネルにスレシヨルド電流レベル以上の電流が流れ、前記第1捕獲電荷の量が前記所定量以上のときには前記第1領域と前記第2領域との間の前記チャネルに前記スレシヨルド電流レベル以上の電流が流れないようにすることで、前記第1捕獲電荷の状態を読出すようにしたことを特徴とする請求項57記載の構造。

【請求項66】 前記導電性ゲートに第1所定電圧を印加し、前記第1領域に第2所定電圧を印加し、前記第2領域を接地することにより、前記第2捕獲電荷の量が所定量以下のときには前記第1領域と前記第2領域との間の前記チャネルにスレシヨルド電流レベル以上の電流が流れ、前記第2捕獲電荷の量が前記所定量以上のときには前記第1領域と前記第2領域との間の前記チャネルに前記スレシヨルド電流レベル以上の電流が流れないようにすることで、前記誘電体構造の前記第2端に捕獲された前記第2捕獲電荷の状態を読出すようにしたことを特徴とする請求項57記載の構造。

【請求項67】 メモリ・セルに2ビットの情報を記憶させる方法であって、前記メモリ・セルが第1導電形の半導体基板を備えており、該半導体基板には前記第1導電形とは反対の第2導電形の第1領域及び第2領域が形成されており、前記メモリ・セルが更に、前記基板に形成され前記第1領域と前記第2領域との間を延在するチャネルと、第1端及び第2端を有し前記チャネルの上に重ねて形成された多層誘電体構造と、該多層誘電体構造の上に重ねて形成された導電性ゲートとを備えている、前記方法において、

前記誘電体構造の前記第1端に第1所定電荷を付与し、前記誘電体構造の前記

(25)

第2端に第2所定電荷を付与し、前記第1所定電荷と前記第2所定電荷とが、前記メモリ・セルに記憶させることのできる第1ビットと第2ビットとを表すようにし、

前記メモリ・セルの前記第1ビットの状態を讀出するために、

前記第2領域に第1所定電圧を印加し、

前記導電性ゲートに第2所定電圧を印加し、

前記第1領域に接地電位を印加し、

以上において、前記第1所定電荷が所定電荷量以下のときには前記チャンネルにスレシヨルド電流以上の電流が流れ、前記第1所定電荷が前記所定電荷量以上のときには前記チャンネルに全く電流が流れないかもしくは前記スレシヨルド電流以下の電流しか流れないようにし、

前記メモリ・セルの前記第2ビットの状態を讀出するために、

前記第1領域に前記第1所定電圧を印加し、

前記導電性ゲートに前記第2所定電圧を印加し、

前記第2領域に接地電位を印加し、

以上において、前記第2所定電荷が前記所定電荷量以下のときには前記チャンネルにスレシヨルド電流以上の電流が流れ、前記第2所定電荷が前記所定電荷量以上のときには前記チャンネルに全く電流が流れないかしくは前記スレシヨルド電流以下の電流しか流れないようにする、

ことを特徴とする方法。

【請求項68】 前記メモリ・セルに蓄積された前記第1所定電荷及び前記第2所定電荷を消去するために、

前記導電性ゲートに比較的低い電圧を印加し、

前記第1領域に正電圧を印加して、前記多層誘電体構造の前記第1端に捕獲されていた前記第1所定電荷を排出し、

前記導電性ゲートに比較的低い電圧を印加し、

前記第2領域に正電圧を印加して、前記多層誘電体構造の前記第2端に捕獲された前記第1所定電荷を排出する、

ことを特徴とする請求項67記載の方法。

(26)

【発明の詳細な説明】

【0001】

発明の分野

本発明は、広くは、半導体メモリ・デバイスに関するものであり、より詳しくは、ホット・エレクトロン注入現象を利用してゲートの電荷捕獲用誘電体材料に電荷を捕獲させるようにしたマルチビットの一斉消去可能なエレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ（EEPROM：電氣的に消去可能で、プログラム可能な読出し専用メモリ）セルに関するものである。

【0002】

発明の背景

電源を切っても記憶した情報を失うことのない非揮発性メモリ・デバイスは、現在既に広く用いられており、これから先も、ますます多くの用途に用いられるメモリ・デバイスである。非揮発性半導体メモリ・デバイスの具体例を幾つか挙げるならば、リード・オンリー・メモリ（ROM）、プログラマブル・リード・オンリー・メモリ（PROM）、イレーザブル・プログラマブル・リード・オンリー・メモリ（EPROM）、エレクトリカリー・イレーザブル・プログラマブル・リード・オンリー・メモリ（EEPROM）、それに、フラッシュEEPROMなどがある。

【0003】

これら半導体デバイスのうち、ROMは、エレクトリカリー・プログラマブル・デバイス（電氣的にプログラム可能なデバイス）ではないということが短所となっている。ROMの書込みは、そのROMに記憶させるデータを組込んだ特別のマスクを使用して、製造工程中の一段階において行われる。従って、ROMに書込む内容は、そのROMの製造を開始する以前に確定していなければならない。更に、ROMというデバイスは、その書込みが製造工程中で行われるために、完成品が手元に届くまでに6週間またはそれ以上の時間がかかることがある。一方、データ記憶装置としてROMを使用することの利点は、デバイスのコストが低廉であることにある。しかしながら、その利点の代償として、マスクを使用し

(27)

て書込みを行う段階に入ったならば、もはやデータの変更が不可能であるという短所をかかえている。データのプログラミングにミスがあったならば、通常、その訂正のためには多大のコストが必要となる。ROMに誤ったデータが書込まれてしまったならば、その時点でそのROMは既に廃物であり、何かに利用できるということは先ずあり得ない。また、そのような事態が発生したならば、新たなマスクをゼロから製作した上で、全製造工程をやり直さなくてはならず、甚だしい時間的な遅れを余儀なくされる。更に、メモリ・デバイスとしてROMを使用することによって省コスト効果が得られるのは、そのROMを大量生産する場合に限られる。

【0004】

半導体デバイスとしてROMの代わりにEPROMを使用するようにすれば、データ書込み用のマスクは不要になるが、その代わりに製作工程が格段に複雑なものになる。また、デバイスに書込み用回路を付加しなければならないためにチップの寸法が大きくなる上に、EPROMのようなメモリ・デバイスの製造にはROMの製造の場合と比べてより多くの製作工程及び試験工程が必要とされる。EPROMの長所は、電気的方法によって書込みが行えること、即ちエレクトリカリー・プログラマブルであることにあるが、ただし、書込んだデータを消去するには紫外光（UV光）を照射しなければならない。EPROMには、消去の際に基板にUV光を照射できるように、UV光を透過させる窓が形成されており、UV光を照射して消去を行ってからでなければ、書直しを行うことはできない。EPROMの大きな短所は、電気的方法による消去ができないことにある。非揮発性メモリ・デバイスを使用した様々な回路を設計する際に、メモリ・デバイスをいちいち回路から取外すことなく、回路に取付けたままの状態でのメモリ・デバイスの消去及び再書込みを行えるようにすることが望まれることが往々にしてあるものである。

【0005】

半導体デバイスのうちのEEPROMもまた、ROMと比べてより多くの製作工程及び試験工程を必要とするが、ただしEEPROMには、書込み及び消去を共に電気的方法で行えるという利点がある。ある回路に用いるメモリ・デバイス

(29)

をEEPROMにしておけば、その回路に取付けたままの状態メモリ・デバイスの消去及び再書き込みを行うことができ、これは、以前のEPROMでは不可能だった優れた利点である。また、フラッシュEEPROMは、メモリ・セルの書き込み及び消去を電気的方法で行えるという点でEEPROMと同じであるが、ただしその他に、全てのメモリ・セルの消去を一斉に行えるという特質をも備えており、そのためフラッシュ（一斉）EEPROMと呼ばれている。フラッシュEEPROMの短所は、製作難度が高いこと、それに高コストであることにある。

【0006】

半導体メモリとしてEEPROMが広く使用されるようになるにつれて、そのメモリ・セルを改良することを目的とした研究が盛んに行われるようになった。特に活発な研究がなされた分野は、より優れた性能を有するメモリ・セルを開発することを目的とした研究分野であり、ここでいうより優れた性能とは、書き込み時間が短いこと、低電圧で書き込み及び読出しができること、データの保持が可能な期間が長いこと、消去時間が短いこと、それに小型であること等である。このような研究分野のうちの1つに、絶縁ゲート構造を備えたメモリ・セルに関するものがある。以下に示す従来技術の説明は、この研究分野に関するものである。

【0007】

米国特許第4173766号(Hayes)には、金属-窒化物-酸化物-半導体(MNOS)構造が教示されている。このMNOS構造は、二層の絶縁ゲート構造を備えたものであり、この二層の絶縁ゲート構造は、下層の酸化シリコン膜と上層の窒化シリコン膜とで構成されている。更に導電性ゲート電極がその窒化膜の上面に形成されており、このゲート電極は、例えば多結晶シリコンや金属で形成されるものである。このデバイスの大きな短所は、これを用いてフラッシュEEPROMを製作することが困難なことにある。酸化膜-窒化膜-酸化膜の三層構造ではなく、酸化膜-窒化膜の二層構造を採用しているため、書き込みの際に電荷が窒化膜内に広がって分散してしまうのである。これは、三層構造では最上層に形成されている酸化膜がこの二層構造では存在していないため、窒化膜の特定の部分に電荷を蓄積させる制御能力が劣っているのである。

【0008】

(29)

更に、Hayes特許に開示されているメモリ・セルでは、窒化膜の典型的な厚さは350 Åであるとされている。Hayes特許のデバイスがこのような厚い窒化膜を必要とするのは、窒化膜を厚くしないと十分な電荷保持性能が得られないからである。窒化膜は本来、比較的弱い内部電界にしか耐えられず、この弱点を克服して強い内部電界にも耐えられるようにするために、その分、窒化膜を厚くすることを余儀なくされているのである。そして、窒化膜が厚いために、消去の際に垂直方向に印加する電圧を、非常に高い電圧にすることが必要となっている。更に、窒化膜が厚いために、電荷の分布領域が広がっており、即ち、電荷捕獲領域が大きく広がっている。電荷捕獲領域が広がると、メモリ・セルの消去を行う際に、電荷をドレインから排出させることが、たとえ不可能でないにしても著しく困難になる。更に、電荷捕獲膜である窒化膜が厚いということそれ自体も、消去の際に電荷をドレインから排出させることを困難にしている。以上をまとめると、Hayes特許に教示されているメモリ・セルは、十分な電荷保持性能を確保するために窒化膜を厚くせざるを得ず、そのために、デバイスの消去を行う際に電荷をドレインから排出させるという方法を探ることが著しく困難になっており、そしてそのことが、このデバイスを用いてフラッシュEEPROMを構成することを実際上不可能にしているのである。

【0009】

Hayes特許のメモリ・セルにおいて、その窒化膜に捕獲されている電子を中和して消去を行うためには、捕獲されている電子を窒化膜から排出させるか、或いはその窒化膜へ正孔を注入するかのいずれかを行わねばならない。Hayes特許には、そのメモリ・セルの消去方法として、ゲートを接地し、ドレインに十分高い電圧を印加することによって、なだれ降伏（なだれ絶縁破壊）を発生させ、それによって窒化膜に記憶されているデータを消去するという方法が教示されている。このなだれ降伏は、電子ではなく正孔によるものであり、それによってホット・ホールが窒化膜へ注入される。ただし、なだれ降伏現象を発生させるためには、本来、高い電圧が必要であり、また大きな電流が流れることになる。そこで、なだれ降伏が発生する電圧を少しでも低下させるために、ソースとドレインとの間のチャネルにドーブする不純物の濃度を高めている。

(30)

【0010】

発生したホット・ホールは、二層構造の下層を成す酸化膜の正孔ポテンシャル障壁を乗り越え、窒化膜に蓄積されていた電子と再結合する。しかしながら、この動作メカニズムは非常に複雑であり、この方式に従って動作するメモリ・デバイスを構成することは困難である。また、ホット・ホールの注入によって消去を行うという消去方式に付随するもう1つの短所として、ドレインとチャネルとの間のPN接合においてなだれ降伏が発生するため、その際に発生する電流が非常に大きく、しかもその電流を制御することが困難であるということがある。更に加えて、メモリ・セルが耐えられる書込み／消去サイクルの回数（書換え可能回数）には限度があり、それは、なだれ降伏が発生するたびに、ドレインとチャネルとの間のPN接合の近傍領域が損傷を受けるからである。この損傷は、なだれ降伏の発生時に、このPN接合の近傍領域だけに限局して非常に高温が発生することによるものである。

【0011】

更に、Hayes特許のメモリ・デバイスをフラッシュ・メモリ・アレイのアーキテクチャに用いることには実際上無理がある。その理由は、なだれ降伏現象を利用して消去を行うため、消去時に大電流が発生することから、なだれ降伏が発生しているメモリ・セルに接続されたビット線に大きな電圧降下（即ちIR）が発生するからである。

【0012】

別の公知の消去方法として、ゲートを介して窒化膜へ正孔を注入するという消去方法もある。しかしながら、この消去メカニズムは非常に複雑である上、正孔の窒化膜内における易動度が電子より大きいため消去メカニズムの制御が困難である。更に、高温下では正孔の易動度が増大するため、保持できずに失われる電荷のロスが大きく、そのためしきい値電圧が書込み完了直後のしきい値電圧より低下して、しきい値電圧の変化幅 Δ が小さくなる。また、空乏層が深まることから、書込み／消去動作を制御するためのデバイスを直列に結合して使用しなければならなくなる。

【0013】

(31)

米国特許第5168334号(Mitchell他)には、1個のトランジスタで構成した(シングル・トランジスタ形の)EEPROMのメモリ・セルが教示されている。このMitchell特許に教示されているEEPROMのメモリ・セルは、酸化膜-窒化膜-酸化膜(ONO)構造を使用しており、チャネル領域の上方のビット線どうしの間に、この酸化膜-窒化膜-酸化膜の三層構造が形成されていて、この三層構造によって、その上に形成されている多結晶シリコンのワード線との間が絶縁されている。また、この三層構造中の窒化膜が、メモリ・セルへの書き込みに必要な電荷保持機能を提供している。

【0014】

このMitchell特許のメモリ・デバイスは、三層構造の最上層に酸化膜を備えているものの、フラッシュEEPROMとして用いるのに特に適したメモリ・デバイスではない。その原因は、書き込みによって形成する電荷捕獲領域がかなり広くないと、書き込みと読出しとの間でのしきい値電圧の差分 Δ を十分に大きくすることができないことにある。Mitchell特許のデバイスでは、書き込みと読出しの両方を順方向に行うようにしている。順方向読出しは逆方向読出しと比べて非効率的であるため、既書き込み状態と未書き込み状態とを明確に区別できるようにするには、広い電荷捕獲領域を形成しなければならないのである。しかしながら、広い電荷捕獲領域が形成されると、メモリ・デバイスの消去が著しく困難になり、そのことが、このMitchell特許のメモリ・デバイスを、フラッシュEEPROMとしての用途に用いることのできない非効率なものにしている。

【0015】

シングル・トランジスタ形のONO-EEPROMデバイスを開示した技術文献としては「"A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device," T. Y. Chan, K. K. Young and Chenming Hu, IEEE Electron Device Letters, March 1987」がある。同文献に開示されているメモリ・セルは、ホット・エレクトロン注入現象を利用して書き込みを行うようにしており、注入された電荷は、そのデ

バイスの酸化膜-窒化膜-酸化膜(ONO)三層構造に蓄積される。同文献は、書込み及び読出しを順方向に行うことを教示している。従って、Mitchell特許のデバイスと同様に、書込みと読出しとの間でのしきい値電圧の差分 Δ を十分に大きなものにするためには、広い電荷捕獲領域が形成されるようにしておかねばならない。そして、電荷捕獲領域が広いほど、デバイスの消去はそれだけ困難になる。

【0016】

マルチビット・トランジスタも広く知られているものである。殆どのマルチビット・トランジスタは、多段階のしきい値レベルを設定して、各々のしきい値レベルが夫々に異なった状態を表すようにすることで、2ビットまたはそれ以上のビットを記憶できるようにしている。例えば、4段階のしきい値レベルを持つメモリ・セルは、そのメモリ・セル1個で2ビットの記憶が可能である。この技法は、これまでのところ、不純物注入法を利用することによってROMに組込まれて用いられているほか、フラッシュEEPROMのようなメモリ・デバイスにも試験的に用いられている。ただし、このマルチレベルしきい値法は、EPROMにだけは、いまだかつて採用されたことがない。その理由は、書込みによって設定したしきい値が、設定すべき状態に対応したしきい値許容範囲を超えてしまったときには、EPROMではUV消去処理を実行しなければならず、それが非常にやっかいである上に費用もかさむからである。更に、UV消去処理を施すためにはそのチップをシステムから取外さねばならないが、その取外しが非常に面倒なことが往々にしてある。

【0017】

フラッシュEEPROMに多段階のしきい値を設定するためには、初期消去処理を実行して、全てのメモリ・セルのしきい値を一旦、あるしきい値以下にする必要がある。その後に、所定の書込み作業手順に従って、個々のメモリ・セルのしきい値を夫々の目標しきい値にまで上昇させる。この方法の短所は、書込みの際に常にフィードバックが必要とされることであり、そのため、多段階のしきい値に設定するための書込みは、非常に時間のかかるものとなっている。

【0018】

(33)

更に、この多段階しきい値法を用いると、動作許容領域（ウィンドウ）が狭められる。これは、各状態の許容幅（マージン）が狭くなるということである。そのため、製作したチップの良品率が低下し、品質も低下する。もし、メモリ・セルの信頼性を高めるために許容幅を犠牲にすることを望まないならば、動作許容領域を2倍に広げなければならない。ところが、動作許容領域を広げるためには動作電圧を高めなければならない、その動作電圧を高めるということが、逆に信頼性の低下をもたらし、更に、メモリ・セル間の干渉も増大させるため、これもまた望ましいことではない。この多段階しきい値法では、構造が複雑になるため、例えばオーディオ関係の用途のように、ビットが失われることが許容される用途に主として用いられている。

【0019】

・この多段階しきい値法には更に、各状態に対応したしきい値の許容範囲が時間の経過と共に変化するために次第に信頼性が低下して行くという短所も付随している。あるメモリ・セルの書込みに使用したワード線ないしビット線を使用して別のメモリ・セルの書込みを行ったときに、先に書込みを行ったメモリ・セルのデータに対して後の書込み動作が影響を及ぼすようなことがあつてはならない。また一方で、書込みによって設定するしきい値レベルが複数あるため、それらに対応するには書込み時間そのものが長くならざるを得ない。従って、各状態に対応したしきい値の許容範囲が時間の経過と共に次第に変化して行くとき、動作許容範囲は狭く成らざるを得ず、そのために、妨害に対する感受性も昂進して行くのである。

【0020】

多段階の状態の夫々に対応したしきい値の許容範囲、即ち余裕幅が狭まると、それによって製品の歩留まりが低下する。更に、品質及びしきい値の余裕幅を維持するためには、より高い電圧が必要である。より高い電圧を使用すると、チャネル内の電界強度が増大し、それによってメモリ・セルの信頼性も低下する。

【0021】

マルチビットのROMのメモリ・セルを構成するには、そのメモリ・セルを、書込みによって4段階のレベルに設定できるようにしておく必要がある。2段階

(34)

のレベルに設定するだけでよい場合、即ち、通常のシングル・ビットのROMのメモリ・セルの場合には、書込みによってそのメモリ・セルに設定する「0」ビットであることを表すしきい値電圧が、最大ゲート電圧より高くありさえすればよく、即ち、読出し時にそのメモリ・セルをオンにしたときに、そのメモリ・セルが導通状態にならなければそれでよい。また、既書込み状態と未書込み状態とを区別できるようにするには、少なくともある程度の大きさの電流がそのメモリ・セルに流れるようにしておけば十分である。トランジスタを流れる電流の大きさは次の数1の式で表される。

【0022】

【数1】

$$I = \frac{1}{L_{eff}} K (V_G - V_T)$$

【0023】

この数1の式において、 L_{eff} は実効チャネル長さであり、 K は定数であり、 V_G はゲート電圧であり、 V_T はしきい値電圧である。一方、マルチビットのメモリ・セルの場合には、複数のしきい値が明確に区別できなければならず、これはとりまなおさず、様々な読出し電流の大きさを検出する必要があるということであり、そのために読出し速度も低下する。また、2ビットのメモリ・セルでは4通りの電流の大きさを区別して検出せねばならず、しかも、それら4通りのしきい値電流を完全な正確さをもって設定することは不可能であることから、それらしきい値電流の各々が統計的分布を有するものとなる。更には、実効チャネル長さも統計的分布を有するものであり、そのことによって、各々のしきい値電流に対応する実際の読出し電流の分布幅が更に広がっている。

【0024】

更には、ゲート電圧の大きさによっても、読出し電流の分布状態が変化する。一組のしきい値電流の値が同じように規定されていても、ゲート電圧が異なれば夫々のしきい値電流に対応した実際の読出し電流どうしの間の電流比が変動することになる。従って、ゲート電圧を高度に安定させておかねばならない。更に、互いに区別して検出しなければならない電流の大きさの数が多いため、2レ

(35)

ベルの、即ちシングル・ビットのメモリ・セルの場合と比べれば、検出方法も複雑になる。

【0025】

以下に列挙する従来技術を記載した参考文献は、いずれも半導体メモリ・セルに関するものである。

【0026】

米国特許第5021999号(Kohda他)には、非揮発性メモリ・セルが教示されており、このメモリ・セルは、互いに電氣的に分離された2つのフローティング・ゲート・セグメントから成る分割形フローティング・ゲートを備えたMOSトランジスタで構成されている。このメモリ・セルは、3レベルのデータを記憶することができ、それら3つのレベルは、どちらのセグメントにも電子が注入されていない状態、一方のセグメントにだけ電子が注入されている状態、それに、両方のセグメントに電子が注入されている状態によって表される。

【0027】

米国特許第5214303号(Aoki)には、2ビット・トランジスタが教示されており、この2ビット・トランジスタは、半導体基板と、該基板上に形成されたゲート電極と、該基板に設けられた一対のソース/ドレイン領域と、それらソース/ドレイン領域の少なくとも一方に形成され、前記ゲート電極の近傍において基板に没入しているオフセット・ステップ部分とを備えている。

【0028】

米国特許第5394355号(Uramoto他)に教示されているROMメモリは、複数の基準電位伝達線を備えており、それら基準電位伝達線の各々が、異なったレベルないし状態を表している。各々のメモリ・セルは、メモリ・セル・トランジスタを含んでおり、そのメモリ・セル・トランジスタが、複数の基準電位伝達線のうちの1本を、そのメモリ・セルに対応したビット線に接続するようにしてある。

【0029】

米国特許第5414693号(Ma他)には、分割形ゲートを用いた2ビットのフラッシュEEPROMのメモリ・セル構造が教示されており、このメモリ・

(36)

セル構造は、1個のセレクト・ゲート・トランジスタと2個のフローティング・ゲート・トランジスタとを含んでいる。この米国特許の発明は、基本的に、1つ1つのビットを、個別のトランジスタに記憶するようにしたものである。

【0030】

米国特許第5434825号(Harai)には、EPROMやEEPROMに用いるマルチビットのメモリ・セルが教示されており、このメモリ・セルは、書込み電荷量を3つ以上の電荷量範囲に区分するようにしている。このメモリ・セルは、その記憶動作範囲(メモリ・ウィンドウ)が拡大されて、3通り以上のバイナリ状態を記憶可能となっている。各メモリ・セルは、書込みによって複数の書込み状態のうちの1つの状態に設定される。3通り以上のバイナリ状態を記憶可能にするために、複数の負のしきい値電圧及び正のしきい値電圧を使用している。このメモリ・セルは、基本的に、データ記憶用トランジスタと、それに直列に接続した導通制御用トランジスタとで構成される。データ記憶用トランジスタは、書込みによって、所定の複数のしきい値状態のうちの1つの状態に設定される。更に、センス回路が、夫々の書込み状態に対応した異なった電流レベルを区別するようにしてある。

【0031】**発明の概要**

本発明は、2ビットのフラッシュ・エレクトリカル・イレーザブル・プログラマブル・リード・オンリー・メモリ(EEPROM)の書込み、読出し、及び消去のための装置及び方法を開示するものである。この2ビットのフラッシュEEPROMのメモリ・セルは、電荷捕獲機能を有する非導電性の誘電体膜を2層の酸化シリコン膜で挟んだ構造を備えている。非導電性の誘電体膜は、電荷捕獲媒体として機能する。また、この電荷捕獲膜を挟んでいる上下の酸化シリコン膜は絶縁膜として機能する。上層の酸化シリコン膜の上に重ねて導電性ゲート膜が形成されている。2個の個別のビット、即ち左側ビットと右側ビットが、その電荷捕獲膜の空間的に離れた別々の領域に記憶される。

【0032】

このメモリ・デバイスの新規な点の1つは、2個のビットのいずれも、その書

(37)

込みはホット・エレクトロン書き込み方式という一般的な方式で行うのに対して、それら各ビットの読出しは、それが書込まれたときの方向とは逆方向の逆方向読出し方式で行うようにし、また、読出し用ゲート電圧として比較的低い電圧を使用するという点にある。例えば、右側ビットの書き込みは、一般的な方式に従って、ゲートとドレインとに夫々に書き込み用電圧を印加し、ソースを接地させて行う。これによって、十分に加速されたホット・エレクトロンが、電荷捕獲媒体として機能する誘電体膜の、ドレインに隣接した領域に注入される。一方、このメモリ・デバイスの読出しは、書き込み方向とは逆方向に行い、即ち、ゲートとソースとに夫々に電圧を印加し、ドレインを接地して読出しを行う。左側ビットの書き込み及び読出しも、ソース端子とドレイン端子とがその機能に関して入れ替わるだけで、その他の点では右側ビットの場合と同様にして行われる。一方のビットの書き込みによって、他方のビットの情報が損なわれたり乱されたりすることはない。ただし、一方のビットの書き込みを行った場合に、それによって、他方のビットの書き込み速度が僅かに遅くなる等の、軽微な影響が発生することはある。

【0033】

逆方向読出し方式が最大限に効果を発揮するのは、比較的低いゲート電圧を用いた場合である。逆方向読出し方式を採用し、且つ、比較的低いゲート電圧を用いることによって、電荷捕獲領域の真下に位置するチャネル部分の両端間の電圧降下を非常に小さくすることができるという利点が得られる。このチャネル部分の両端間の電圧降下が小さくなることで、書き込み領域、即ち書き込みによって形成される電荷捕獲領域の長さが短縮される。更にそれによって、書き込み時間が格段に短縮されるが、それは、限局された電荷捕獲領域に捕獲された電荷の効果が、その電荷捕獲領域の長さが短縮されることによって増幅されるからである。デバイスの読出しを順方向に行う場合と比べれば、既書き込み状態に対応したしきい値電圧と未書き込み状態に対応したしきい値電圧との間のしきい値電圧の差分 Δ が同じ場合には、書き込みにかかる時間が、より短い時間で済むことになる。

【0034】

もう1つの大きな利点は、メモリ・セルの消去メカニズムが格段に強化されることである。このメモリ・セルの夫々のビットの消去を行う際には、ゲートに適

(38)

当な消去用電圧を印加し、更に、右側ビットの消去を行う場合にはドレインに、左側ビットの消去を行う場合にはソースに消去用電圧を印加して、窒化膜の電荷捕獲領域から電子を排出させる。この場合、排出される電子は、窒化膜からその下の酸化膜を通り、更に右側ビットの場合にはドレインを介して、左側ビットの場合にはソースを介して排出される。更に別の利点として、書換えを繰返す際の損耗が軽微であるため、デバイスが長寿命であるということがある。逆方向読出し方式を採用した場合には、順方向読出し方式を採用した場合と比べて、書込みによって蓄積する電荷が同じであれば、しきい値電圧ははるかに高くなる。そのため、メモリ・セルの既書込み状態と未書込み状態との間のしきい値電圧の差分 Δ を十分な大きさとするために必要とされる、電荷捕獲領域の長さが、逆方向読出し方式の場合には、順方向読出し方式の場合と比べて格段に短くなる。

【0035】

この消去メカニズムは、電荷捕獲領域の長さを短くするほど強化される。書込みを順方向に行い、読出しを逆方向に行うことによって、電荷捕獲領域を、ドレインの近傍の（右側ビットの場合）、または、ソースの近傍の（左側ビットの場合）、非常に狭い（短い）領域に局限することができる。そして、それによってメモリ・セルの消去効率が格段に向上する。

【0036】

更に、電荷捕獲膜である窒化シリコン膜には、従来開示されている窒化シリコン膜より薄いものを使用しており、そのことが、電荷捕獲領域をドレインの近傍の横方向に狭い（短い）領域に局限することに役立っている。また、この窒化膜の上側と下側とに夫々に形成されている酸化膜は、捕獲電荷の保持能力を高める役割を果たしている。

【0037】

更に、従来のフローティング・ゲートを用いたフラッシュEEPROMのメモリ・セルとは異なり、窒化膜の上側と下側の夫々の酸化膜の厚さを薄くすることができる。それが可能であるのは、捕獲レベルが深い分、トンネル効果が容易に発生しないように阻止するポテンシャル障壁が高いからである。即ち、電子の捕獲レベルが非常に深いため、電荷保持性能を犠牲にすることなく、上下の酸化膜

(39)

を薄くすることができるのである。

【0038】

電荷捕獲領域が局在することによって得られる更なる利点として、消去作用が及ぶ領域が窒化膜のドレインに隣接した領域に限られるため、この窒化膜のドレインから離れた領域では深い空乏状態が発生しないということがある。また、消去完了時のメモリ・セルのしきい値は、このデバイスの構造上、自動的に一定の値で下げ止まっており、低すぎる値になることが防止されている。これは、従来のシングル・トランジスタ形のフローティング・ゲート・フラッシュ・メモリ・セルと非常に異なる点であり、従来のその種のメモリ・セルは、ディープ・ディプリーション（深すぎる空乏状態）という問題に悩まされていた。この問題を解決するために、メーカーは、消去プロセスを制御するための複雑な回路をデバイスに組み込み、ディープ・ディプリーションの防止またはディープ・ディプリーションからの回復を図っていた。

【0039】

ディープ・ディプリーション問題を解決するためにこれまで採用されていたもう1つの方法は、フローティング・ゲート・フラッシュ・メモリ・セルにスプリット・ゲート（分割形ゲート）構造を導入して、1個のメモリ・セルに複数のトランジスタを形成するというものである。スプリット・ゲート構造は、ダブル・トランジスタ構造とも呼ばれている。スプリット・ゲート構造が必要とされたのは、2個のトランジスタのうちの情報を保持している方のトランジスタであるフローティング・ゲート・トランジスタが、過剰消去状態になるおそれがあったからである。過剰消去状態になると、メモリ・セルのしきい値電圧が低くなり過ぎてしまう。他方のトランジスタが、制御トランジスタとして機能して、フローティング・ゲート・トランジスタが過剰消去状態になるのを防止するようにしている。

【0040】

本発明のメモリ・セルが2ビットであることに関連した重要な点について以下に説明する。第1には、一方のビットの逆方向読出しは、他方のビットに対応した電荷捕獲領域においてリード・スルーが発生することによって行われるという

(40)

ことがある。また、第2には、ワード線電圧 V_{WL} をクランプすることで、書込みを行って設定するデバイスのしきい値電圧 V_T を低い電圧に抑えており、その結果として、各ビットの許容幅が更に広がっているということである。ここでいう許容幅とは、各ビットの書込みを、他方のビットに影響を及ぼすことなく行うことのできるパラメータの値として規定されるものである。

【0041】

更に、ホット・エレクトロン注入によって書込みを行うことで電荷捕獲領域を狭い領域に局限すると共に、読出しを逆方向読出し方式で行うようにしているため、実効チャネル長さ L_{eff} が僅かに約 $0.2\mu m$ という、チャネルの短いデバイスとした場合でも、そのチャネルに互いから離隔した2箇所電荷捕獲領域を形成することが可能となっている。更に、ドレイン電圧 V_D として正電圧を印加し、ゲート電圧 V_G としてゼロ電圧または負電圧を印加することで、各ビットを個別に消去することも可能となっている。

【0042】

更に、このメモリ・デバイスには、書込みによる干渉が全く、或いは殆どないということがある。これは、書込み時に印加するドレイン電圧が、電荷捕獲現象が発生する領域に隣接した接合部にしか作用しないことによるものである。

【0043】

尚、本発明にかかるメモリ・セルは、書込み方式を順方向とする共に読出し方式まで順方向とした場合には、2ビットの記憶が不可能になる。これは、順方向読出し方式では、書込みの際に、広い(長い)電荷捕獲領域を形成しないと、論理状態「1」に対応した読出し電流の大きさと、論理状態「0」に対応した読出し電流の大きさとの間の電流差 Δ を十分な大きさにすることができないからである。

【0044】**発明の詳細な説明**

本発明の2ビット・フラッシュEEPROMセルを明瞭に理解するためには、電荷捕獲媒体として誘電体構造を使用している在来のシングル・ビット・フラッシュEEPROMのメモリ・セルがどのように構成されているか、また、そのメ

(41)

メモリ・セルの書き込み及び読出しがどのように行われているかについての知識があることが望ましい。それゆえ、ここで前もって、従来のシングル・ビットONO-EEPROMのメモリ・セルについて、また、従来の書き込み、読出し、及び消去の方法について、ある程度詳細に説明しておくことにする。図1に示したのは従来のONO-EEPROMのメモリ・セルの断面図であり、このメモリ・セルは、前述の技術文献「"A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device," T. Y. Chan, K. K. Young and Chenming Hu, IEEE Electron Device Letters, March 1987」に開示されているものであり、同技術文献の内容はこの言及を持って本願開示に組込まれたものとする。参照番号41はこのメモリ・セルの全体を指し示しており、このメモリ・セル41は、P形シリコン基板30と、N+ソース領域32及びN+ドレイン領域の各々とのP形基板30との間に形成された2つのPN接合と、2つの酸化膜36、40の間に挟まれた非導電性の窒化膜38と、多結晶シリコンの導電膜42とを備えている。

【0045】

従来のシングル・ビット・メモリ・デバイスの書き込み

これより、従来のメモリ・セル41の動作について説明する。このメモリ・セルの書き込みを行うには、ドレイン34及びゲート42に夫々に電圧を印加し、ソース32を接地する。具体的には、例えば、ゲートには10Vの電圧を印加し、ドレインには9Vの電圧を印加する。これらの電圧が印加されることによって、垂直方向の電界と、ソースからドレインまで延在しているチャネルの長手方向に沿った横方向の電界とが発生する。そして、その横方向の電界によって、電子がソースからチャネルへ引き出され、ドレインへ向けて加速される。電子はチャネルの長手方向に移動している間にエネルギーを蓄える。十分なエネルギーを蓄えた電子は、酸化膜36のポテンシャル障壁を跳び越えて窒化シリコン膜38へ注入され、そこで捕獲される。この窒化膜38への電子注入が発生する確率は、ゲートのドレイン34に隣接した部分の領域において最大となるが、その理由は、電子が最大のエネルギーを蓄えるのは、ドレインの近傍に達したときだからである。こ

(42)

うして加速された電子は、ホット・エレクトロンと呼ばれており、窒化膜に注入されたホット・エレクトロンは、その注入された位置に捕獲されて窒化膜内に蓄積される。捕獲された電子が窒化膜内で広がって分散することではなく、それは、窒化膜の導電率が低く、しかも、窒化膜の内部の横方向電界が弱いからである。従って、捕獲された電荷は、窒化膜内の限局された電荷捕獲領域に留まってそこから周囲へ移動することではなく、この電荷捕獲領域は、通常、窒化膜のドレインに隣接した部分に形成される。

【0046】

米国特許第4173766号(Hayes)には、このような窒化膜の典型的な厚さが約350Åであると記載されている(第6コラム、第50行~第61行参照)。また、Hayes特許のメモリ・セルに用いられている窒化膜は、その上面が酸化膜で覆われていない。もし多層構造の最上層に酸化膜が形成されていたならば、その酸化膜の導電率が小さいために、多層構造の上に形成されているゲートから窒化膜へ正孔が移動するのを防止することができ、従って、移動した正孔が窒化膜に捕獲されていた電子と結合して、その窒化膜に蓄積していた電荷が減少するという事態を防止することができるのであるが、そのような酸化膜が形成されていないのである。また、Hayes特許のメモリ・セル構造では、もしその窒化膜の厚さを薄くしたならば、せっかく窒化膜に捕獲された電子が、その窒化膜の上に形成されている導電性ゲートから流入してくる正孔と結合して失われてしまう。即ち、導電性ゲートが、窒化膜に捕獲された電子を逃がしてしまうことになる。更に、あるメモリ・セルの窒化膜のある領域に電子を捕獲させた後に、その隣のメモリ・セルへの書込みを行った場合に、その書込みの際に発生した電界が、先のメモリ・セルの電荷捕獲領域に捕獲されていた電子に影響を及ぼして、その電荷捕獲領域から電子を散逸させるおそれもある。また、デバイスの耐久試験のために、そのデバイスを高温にさらすことがあり、その場合の温度は通常、約150℃~約250℃の範囲内の温度であるが、その際に、ゲートから窒化膜へ正孔が流入して電子と結合するために、窒化膜に捕獲されていた電荷が更に減少することもある。MOSデバイスにゲート絶縁構造として採用されている一般的なONO構造がそうであるように、Hayes特許の構造でも、その

(43)

窒化膜の内部に横方向電界が存在する。Hayes特許に開示されている窒化膜のように比較的厚い窒化膜においては、窒化膜内の電子がその横方向電界のために横方向へ移動し、移動した電子はその窒化膜内で、導電帯と価電子帯との間で捕獲されて安定状態になるか、または、陽電荷が局在する領域へ入って安定状態になる。このような電子の移動は、一般的に、エレクトロン・ホッピングと呼ばれており、Hayes特許に開示されているような厚い窒化膜においては容易に発生し得るものである。このエレクトロン・ホッピングによって、捕獲電荷が分散して広がるため、捕獲電荷の局所的強度が低下することになる。

【0047】

既述のごとく、従来のフラッシュEEPROMのメモリ・セルでは、各メモリ・セルの既書込み状態に対応したしきい値電圧と未書込み状態に対応したしきい値電圧との差分 Δ を有効な大きさにするためには、そのメモリ・セルの電荷捕獲領域をかなり広く形成しなければならない。しかしながら、それによって、電子の捕獲領域がドレインから遠く離れたところまで広がり、そのため消去を効率的に行えなくなる。場合によっては、書込みによって実際に電荷が捕獲される領域が広がりすぎるために、デバイスの消去が全く不可能になることさえある。

【0048】

導電性フローティング・ゲートを用いたメモリ・セルでは、フローティング・ゲートへ注入された電荷がフローティング・ゲートの全体に均一に分散される。フローティング・ゲートにより多くの電荷が注入されるほど、フローティング・ゲートの全域におけるゲートしきい値電圧が上昇する。この場合に、しきい値電圧が上昇するのは、フローティング・ゲートに蓄積される電子によって、ゲート電圧がチャネルから遮蔽されるからである。

【0049】

図1に関し、低導電率または非導電性のフローティング・ゲートを備えたデバイスでは、ホット・エレクトロンが窒化シリコン膜へ注入されたならば、局在する電荷捕獲領域に対応した部分でだけ、ゲートしきい値電圧が上昇する。これは、EEPROMやEEPROMに採用されている導電性フローティング・ゲートを備えたメモリ・セルにおいて、書込み時間が長くなるにつれてチャネル全体のゲ

(44)

ートしきい値電圧が上昇して行くのと対照的である。導電性フローティング・ゲートを備えたメモリ・セル構造でも、また非導電性フローティング・ゲートを備えたメモリ・セル構造でも、ゲートしきい値電圧が上昇すれば、ゲートに印加されている電圧が変わらないものとするなら、チャンネルを流れる電流は減少することになる。そして、チャンネルを流れる電流が減少すれば、書込み時間が長くなるために、書込み効率が低下する。ただし、非導電性フローティング・ゲートを用いたメモリ・セル構造では、電子の捕獲は局所的に発生するため、導電性フローティング・ゲートを用いたメモリ・セル構造と比べれば、書込み時間は短い。以上に説明した、導電性フローティング・ゲートないし低伝導率または非導電性のフローティング・ゲートを用いたフラッシュEEPROMのメモリ・セルの書込み方法は公知の方法であり、EEPROM及びフラッシュEEPROMのメモリ・セルの書込みのための方法として現在既に利用されている。

【0050】

従来のシングル・ビット・メモリ・デバイスの読出し

これより、従来のフラッシュEEPROMのメモリ・セルの読出し方法について説明する。導電性フローティング・ゲートを用いたものも、また非導電性の局所捕獲ゲートを用いたものも含めた、従来のEEPROMないしフラッシュEEPROMのメモリ・セルの一般的な読出し方法は、ゲートとドレインとに夫々に電圧を印加し、ソースを接地して読出しを行うというものである。従って、電圧を印加する箇所は書込みの場合と同じであり、単に、読出しの場合には書込みの場合より印加する電圧が低いという点が異なるだけである。フローティング・ゲートが導電性であれば、捕獲された電荷はそのフローティング・ゲートの全体に均一に分散される。従ってデバイスの書込みが行われたならば、そのチャンネルの全域においてしきい値電圧が上昇するため、読出し動作は必然的に対称形動作になる。これは、ドレインに読出し用電圧を印加してソースを接地しても、逆にソースに読出し用電圧を印加してドレインを接地しても、全く同じように読出しを行うことができるという意味である。非導電性の局在捕獲ゲートを用いた従来のフラッシュEEPROMの読出しも、これと同様の方法で行われる。

【0051】

(45)

書込みプロセスにおいては一般的に、書込みに続けて読出しが行われる。特にEPROMメモリ・デバイス及びEEPROMメモリ・デバイスでは、必ずこれが行われる。この場合、ショート・パルスの形態の書込みパルスをデバイスに印加した直後に読出しを行う。このときの読出しは、実は、ゲートしきい値電圧を測定するために行うものである。ゲートしきい値電圧を測定するための一般的な方法は、ドレインに一定電圧を印加した状態で、ゲートには別の電圧を印加し、ドレインからソースへ流れるチャネル電流を測定しつつ、ゲートに印加している電圧をゼロから次第に上昇させて行くというものである。そして、チャネル電流が $1\mu\text{A}$ になったときのゲート電圧をもって、しきい値電圧としている。

【0052】

一般的に、書込みパルスの送出を反復して行い、パルスを1回送出する都度、その直後に読出しサイクルを開始するようにしている。このときの読出しは、書込みパルスを印加する方向と同じ方向で行われ、これは、対称形書込み／読出しと呼ばれている。書込みパルスの送出は、ゲートしきい値電圧がある所定電圧に達したとき（即ち、そのゲート電圧をその所定電圧にしたならば、チャネル電流が十分に小さな電流に低下するようになったときに）停止する。この所定電圧は「0」のビットと「1」のビットとを確実に区別することができ、且つ、データ保持期間を適当な長さにすることができるような値に選定される。

【0053】

本発明にかかる2ビット・メモリ・デバイス

図2は、ゲート誘電体構造としてONO三層構造を用いた、本発明の実施例にかかる2ビット・フラッシュEEPROMセルの断面図である。参照番号10はこのフラッシュEEPROMのメモリ・セルの全体を指し示しており、このメモリ・セル10は、2つのPN接合を内部に形成したP形基板12を備えている。それらPN接合のうち的一方はソース14と基板12との間に形成されており、これを左側接合部と呼ぶことにする。また他方はドレイン16と基板12との間に形成されており、これを右側接合部と呼ぶことにする。チャネルの上に、酸化シリコン膜18が形成されており、この酸化シリコン膜18の好ましい厚さは約 $60\sim 100\text{\AA}$ である。酸化シリコン膜18は、チャネルの上面を覆う絶縁膜を

(46)

構成している。酸化シリコン膜18の上に、電荷捕獲膜20が形成されており、この電荷捕獲膜20の好ましい厚さは20Å～100Åであり、また、その好ましい材料は窒化シリコン Si_3N_4 である。電荷捕獲膜20に注入されたホット・エレクトロンは、この電荷捕獲膜20によって捕獲される。従って電荷捕獲膜20は、記憶保持膜として機能するものである。特に重要なことは、本発明にかかるこのメモリ・セルにおいては、書込み、読出し、及び消去の動作が、正孔の移動ではなく電子の移動によって行われることである。このような電荷捕獲機能を備えた電体膜は、例えば、窒化シリコン膜として形成することもでき、或いは、多結晶シリコン細粒体を内部に分散させた酸化シリコン膜として形成することもでき、或いは、不純物を注入した酸化シリコン膜として形成することもできる。特に最後の場合には、酸化シリコン膜に注入する物質として、例えばヒ素等を用いればよい。酸化膜18の厚さは50Å以上の厚さにするようにしており、これは、メモリ・セルの動作時に電子がトンネル効果によって酸化膜18を通過して電荷捕獲膜20から流出するのを防止するためである。以上の構成とすることで、本発明のメモリ・セルは、その動作寿命が従来のMNOSデバイスの動作寿命より格段に向上している。このメモリ・セル10は2ビットのデータを記憶可能であり、図には、右側ビットを点線の円23で示し、左側ビットを点線の円21で示した。

【0054】

ここで重要なことは、本発明にかかる2ビット・メモリ・セルは、対称形デバイスであるということである。従って、通常のシングル・ビット・デバイスに関して使用されているソース及びドレインという用語を用いると誤解を招くことになりかねない。なぜならば、右側ビットにとっては、左側接合部がこの右側ビットのソース端子として機能し、右側接合部がこの右側ビットのドレイン端子として機能するのに対して、左側ビットにとっては、右側接合部がこの左側ビットのソース端子として機能し、左側接合部がこの左側ビットのドレイン端子として機能するからである。従って、誤解を避けるために、殆どの説明箇所、ソース及びドレインという用語に替えて、左側接合部ないし第1接合部という用語、それに右側接合部ないし第2接合部という用語を使用することにする。また、左側ビ

(47)

ットと右側ビットとを区別する必要のない説明においてはソース及びドレインという用語を使用する。ただしその場合でも、第2ビットのソース端子及びドレイン端子と、第1ビットのソース端子及びドレイン端子とでは、逆になることに注意されたい。

【0055】

もう1つの酸化シリコン膜22は、電荷捕獲膜(窒化シリコン膜20)の上に形成されており、この酸化シリコン膜22の好ましい厚さは約60Å～約100Åである。この酸化シリコン膜22は、この酸化シリコン膜22の上に形成されている導電性ゲート24を、電荷捕獲膜20から絶縁する機能を果たしている。ゲート24の厚さは約4000Åである。ゲート24は多結晶シリコンで形成することができる。

【0056】

以上に説明した非対称形電荷捕獲媒体として好適に利用可能な、電荷捕獲機能を備えた誘電体材料としては、窒化シリコン以外にも様々な材料がある。その種の材料の1つは多結晶シリコン細粒体を内部に分散させた酸化シリコンである。多結晶シリコン細粒体を内部に分散させた酸化シリコンを用いる場合も、図2に示したONO構造を用いたメモリ・セルの構成と同様に、2つの酸化膜の間に挟んで用いるようにする。図3の断面図は、多結晶シリコン細粒体57を内部に分散させることでシリコン組成量を増大させた酸化シリコン膜4をゲート絶縁構造として用いた、本発明の好適実施例にかかる2ビット・フラッシュEEPROMセルの断面図である。尚、図を簡明にするために、多数の多結晶シリコン細粒体のうちの幾つかだけに参照番号を付してある。P形基板62には、N+ソース領域58と、N+ドレイン領域60とが形成されている。内部に多結晶シリコン細粒体57を分散させた酸化シリコン膜54が、2層の酸化シリコン膜52、56の間に挟まれるようにして形成されている。更に、酸化シリコン膜52を覆うようにして多結晶シリコンのゲート50が形成されている。ゲート50は、一般的には、N形不純物を高濃度にドーピングして形成し、例えばリンを 10^{19} ～ 10^{20} 原子/ccの濃度範囲でドーピングしたものとすることができる。図2に示した2ビット・メモリ・セルと同様に、図3のメモリ・セルも、2ビットのデータを記憶可

(48)

能であり、図には、右側ビットを点線の円55で示し、左側ビットを点線の円53で示した。図3のメモリ・セルの動作は、図2に示したメモリ・セルの動作と同様であり、各ビットの書込みと読出しとは互いに逆方向に行われる。

【0057】

更に別の構成例として、電荷捕獲機能を有する誘電体構造を、最下層の酸化膜56の上に重ねて形成する中間層54を、例えばヒ素等の不純物を添加した酸化シリコン膜として構成することも可能である。

【0058】

フラッシュEEPROMのメモリ・セル10（図2）の書込み及び読出しを行う際の書込み方式及び読出し方式も、本発明の重要な特徴的局面的うちに含まれるものである。特に、本発明のフラッシュEEPROMのメモリ・セルの書込み動作及び読出し動作は、対称形動作としてではなく、非対称形動作として行われる。ここでいう非対称形動作とは書込み動作と読出し動作とが互いに逆方向に行われるという意味である。図2には、各々のビット（即ち、左側ビットと右側ビットの各々）に対応させて、「書込み」と付記した矢印と、「読出し」と付記した矢印とを記入してあるが、それら矢印が互いに逆方向を向いていることによって、この非対称性が表されている。従って、書込みはいわゆる順方向に行い、読出しはいわゆる逆方向に行うようにしている。

【0059】

尚、以下に提示する本発明にかかるEEPROMのメモリ・セルの説明中で、そのメモリ・セルに関する様々な電圧値に言及するが、それら電圧値は、電源電圧の変動の影響を受けないものとする。即ち、本発明にかかるEEPROMのメモリ・セルを用いて実際に構成したメモリ・デバイスのチップでは、供給電圧が変動することが考えられるが、たとえその供給電圧が変動しても、メモリ・セルのゲート、ドレイン及びソースに印加される電圧は、定電圧電源から供給されていて変動しないものとする。

【0060】**1ビットの順方向書込み**

• 既述のごとく、図2のフラッシュEEPROMメモリ・セル10への書込みは

(49)

図1の従来のフラッシュEEPROMメモリ・セルへの書込みと同様の方法で行われる。即ち、ゲート24及びドレイン16へ夫々に電圧を印加することで、垂直方向及び横方向の電界を発生させ、この電界によって、ソース14からチャネルへ流入する電子をチャネルの長手方向へ加速する。電子がチャネルの内部をその長手方向に沿って移動する間に、移動する電子のうちの幾分かは十分なエネルギーを蓄えて、最下層の酸化シリコン膜18のポテンシャル障壁を跳び越えて窒化膜20へ流入し、この窒化膜20の内部に捕獲される。例えば、右側ビットに関していえば、この電子捕獲が発生する領域は、図2に点線の円23で示したドレイン16に近接した領域である。そのため、捕獲された電荷は、ドレイン16と基板との間の接合部の位置におのずから整列する。電子が捕獲される位置は、窒化膜20の部分であるが、ただし、ドレイン領域16の上方であって、このドレイン領域16に対して位置が揃う。それは、この位置において電界強度が最大になるからである。従って、電子が十分なエネルギーを蓄えて酸化シリコン膜18のポテンシャル障壁を跳び越え、窒化膜20に捕獲される確率は、ドレイン16の近傍で最大になる。窒化膜20へ流入する電子が増加するにつれて、ソース14とドレイン16との間を延在しているチャネルのうちの、電荷が捕獲される領域の直下にある部分のしきい値電圧が上昇して行く。

【0061】

ここで重要なことは、書込みを行った後にメモリ・デバイス10の消去を効果的に行えるような書込み時間には、おのずから限度があるということである。デバイスの書込み動作が継続している間、電荷捕獲領域は広がり続ける。書込み時間がある長さを超えると、電荷捕獲領域が広がりすぎてしまい、消去を行う際に捕獲電荷を窒化膜20から良好に排出できなくなる。

【0062】

一方、読出し動作方式を逆方向読出しとすることによって、書込み時間を短縮することができる。そして、書込み時間が短縮されれば、それによって電荷捕獲領域を極めて狭い領域に局限することが可能になる。更にそれによって、デバイスの消去を行う際に排出しなければならない電子の個数も低減されるため、消去効率が大幅に向上する。また更に、捕獲された電子が蓄積される狭い領域が、ド

(50)

レインに近接した位置に形成されることによっても、消去効率が改善される。

【0063】

1ビットの順方向読出し

フラッシュEEPROMメモリ・セル10の読出しを従来の読出し方法に従って書込みの場合と同方向に行う場合には、しきい値電圧を同じ電圧にするために必要なデバイスの書込み時間は、逆方向読出しの場合よりも格段に長くなる。書込み方向と同方向に読出しを行うということは、デバイスの書込みと読出しとを同じ順方向に行うということである。読出しを行う際には、ゲートとドレインの夫々に、書込みを行うときに印加する電圧より低い電圧を印加して、チャネル電流を検出する。デバイス10が既書込み状態（即ち、論理状態「0」）にあればそのチャネル電流は非常に小さく、一方、デバイスが未書込み状態（即ち、論理状態「1」）にあれば、流れるチャネル電流はかなり大きい。論理状態「0」にあるときと、論理状態「1」にあるときとの間のチャネル電流の差分は、なるべく大きい方が、それら論理状態の区別が明確になるという点で好ましい。

【0064】

図4に示したグラフは、書込み時間の関数としてのゲートしきい値電圧がどのように上昇するかを、順方向読出し方式を採用した場合（「順方向読出し」と付記した曲線で示した）と、逆方向読出しを採用した場合（「逆方向読出し」と付記した曲線）とで対比させて示したグラフである。この図4のグラフから明らかのように、逆方向読出し方式を採用すると、順方向読出し方式を採用した場合と比べて、書込み時間の長さの値は数桁小さくなる。以下に更に詳細に説明するように、この書込み時間の格段の短縮は、メモリ・セルの読出し方向を書込み方向とは逆方向にすることにより、窒化層へ注入されて捕獲された電荷の効果が増幅されることによるものである。

【0065】

上で述べたように、書込み方向と同方向（即ち、順方向）に読出しを行うようにすると、フラッシュEEPROMのメモリ・セルの書込みに必要な時間が非常に長くなる。そうになる理由について、これより図5A及び図5Bを参照して更に詳細に説明して行く。図5Aは、従来のフラッシュEEPROMセルの断面図

(51)

であり、ゲート42の下方の電荷捕獲領域66が図示されている。図5Bは、本発明の実施例にかかるフラッシュEEPROMセルの断面図であり、ゲート24の下方の右側ビットに対応した電荷捕獲領域68が図示されている。

【0066】

これより、まず、書き込み時にどのようなことが起こるかについて説明し、続いて、読出し時にどのようなことが起こるかについて説明する。また、以下の説明は、図3のメモリ・セルに関するものであり、即ち、図2の構成における窒化膜20を、内部に多結晶シリコン細粒体57を分散させた酸化シリコン膜54に置換したメモリ・セルについてのものである。書き込み時には、既述のごとく、窒化膜20にホット・エレクトロンが流入する。窒化膜20は非導電性であるため、捕獲された電荷はドレイン34（図5A）ないしドレイン16（図5B）の近傍領域に局在することになる。電荷捕獲領域は、図5Aでは細かいハッチングを施した領域66で示したようになり、図5Bは同様に細かいハッチングを施した領域68で示したようになる。このように電荷が捕獲される結果、チャネルの全長のうち、電荷捕獲領域の下方の部分でだけ、しきい値電圧が上昇する。このしきい値電圧の上昇幅は例えば約4Vである。ゲートの下方を延在するチャネルの全長のうち、残りの部分では、しきい値電圧は殆ど変化せず、例えば1Vのままである。このデバイスを、従来の読出し方式に従って順方向に読出したならば（即ち、図5Aに矢印で示した方向に読出しが行われるように、ゲート及びドレインに電圧を印加したならば）、電子がソースから引き出され、ドレインへ向かって移動し始める。デバイスが論理状態「0」になっていれば、即ち既書き込み状態になっていれば、読出し時にチャネル電流がデバイスを流れることは全くないか、たとえあっても、僅かなチャネル電流しか流れないはずである。これは、チャネルが十分にオフ状態となっているならば、電子の流れが停止するということである。もしチャネルが完全なオフ状態になれば、電子はドレインに到達する。電子がドレインに到達する可否かを決定する要因は1つではないが、それらのうちでも特に重要な要因は、電荷捕獲領域の長さである。順方向読出し方式を採用している場合には、メモリ・セルに対する書き込みを十分に長い時間継続すれば、ついにはチャネルを流れる電流が停止する。もし電荷捕獲領域（書き込み領域）66

(52)

(図5A)の長さが十分でなければ、電子はこの電荷捕獲領域66の真下の空乏領域をパンチ・スルー現象によって突き抜けて、ドレイン34へ到達することができる。

【0067】

デバイスの読出しを順方向に行う場合には、例えば、ドレインに2Vの電圧を印加し、ゲートに3Vの電圧を印加し、ソースを接地する。これによって、窒化膜38のうち電荷を捕獲していない部分の真下に位置するチャンネルの部分には完全な反転状態が発生する。このときチャンネル内には、このチャンネルの全長のうち電荷捕獲領域66の真下に位置する部分の手前まで、垂直方向の電界が存在している。反転領域では電子は直線的に移動するため、電荷捕獲領域66の左端35の真下に位置する反転領域の先端部35までは、電子は直線的に移動する。この電子の直線的移動を、図5Aでは、そのチャンネル領域内をソースから電荷捕獲領域66の左端35の真下まで延在する直線で示した。このとき、デバイスが反転状態にあり（即ち、チャンネルが導通状態にあり）、しかもソースが接地されているため、チャンネルの反転領域の電位は、接地電位に固定されている。従って、このチャンネルの反転領域の電荷捕獲領域66に隣接した部分（即ち、このチャンネルの反転領域の右端35近傍部分）における電圧は略々0Vである。それゆえ、電荷捕獲領域66の左右両端間の電圧は、ドレインの電位である2Vに略々等しくなっている。従って、電荷捕獲領域66の真下に位置するチャンネルの部分では、その左右両端間にドレイン電圧に略々等しい電位差が作用しているため、チャンネル内を移動してきた電子のうちの幾分かは、この電荷捕獲領域66に対応したチャンネルの部分をパンチ・スルーによって突き抜けてドレインへ到達し、それによってチャンネル電流が流れる。

【0068】

図2及び図5Aに示したチャンネルの下方の傾斜した直線は、チャンネル内を移動する電子がチャンネルの長さの関数として減少することを示したものである。電荷捕獲領域の真下に位置するチャンネルの部分は非導通状態（即ち、非反転状態）にある。その理由は、電荷捕獲領域の真下に位置するチャンネルの部分を反転状態にするためには、高いしきい値電圧が必要だからである。しかしながら、図2の点

線の円23に囲まれたチャネルの部分、及び図5Aの電荷捕獲領域66の真下に位置するチャネルの部分は、デバイスが飽和状態にあるため（ドレインソース電圧 V_{DS} が飽和電圧 V_{SDAT} を超えるとデバイスは飽和状態になる）、空乏領域になっている。また、ドレイン34に電圧が印加されているため、電荷捕獲領域66の真下のチャネルの部分には横方向の電界が存在している。この横方向の電界によって、空乏領域の端部へ到達した電子は、ドレイン34へ吸い寄せられて流れ込む。既述のごとく、この現象はパンチ・スルー（突き抜け）と呼ばれている。パンチ・スルーは、しきい値電圧が高いにもかかわらず、横方向の電界が非常に強力であるために電子がドレインへ連れて行かれることによって発生する。従来のメモリ・セルでは、読出しの際にパンチ・スルーが発生するのを防止するためには、本発明のメモリ・セルの場合と比べて、格段に長い書込み時間を必要とするが、その原因は、順方向読出し方式を採用していることにある。メモリ・デバイスの書込み動作が継続していると、窒化膜に注入される電子が増加し、書込み領域（電荷捕獲領域）66（図5A）の真下に位置するチャネルの部分の長さが延びて行く。メモリ・セルの書込み時間は、その書込みによって形成される電荷捕獲領域66の長さが電子のパンチ・スルーを防止するのに十分な長さになるような時間とする必要がある。電荷捕獲膜66の長さがそれだけの長さになったならば、通常の動作条件の下では、もはや、横方向の電界は、電子をパンチ・スルーによってドレインまで連れて行くには弱すぎることになる。例えば、順方向読出し方式を採用している場合には、しきい値電圧を3Vとするために必要な書込み時間は、図4から、約3ミリ秒であることが分かる。

【0069】

1ビットの逆方向読出し

一方、フラッシュEEPROMのメモリ・セル10（図5B）の読出しを逆方向読出し方式で行う場合には、状況は以上と非常に異なったものとなる。逆方向読出しとは、書込み方向とは逆方向に読出すという意味であり、この場合、ソース14とゲート24に夫々に電圧を印加し、ドレイン16を接地する。図5Aに示した従来のメモリ・デバイスと同様に、図5Bのメモリ・デバイスでも、書込みは順方向であり、窒化膜20の領域68にホット・エレクトロンを注入するこ

(54)

とによって行う。窒化膜20は非導電体であるため、例えば右側ビットについていえば、捕獲された電荷はドレイン近傍の領域68に局在することになる。左側ビットについては、ソース機能とドレイン機能とが入れ替わることになるが、その他の点では右側ビットの場合と同じになる。図5Bでは、この電荷捕獲領域を細かいハッチングを施した領域で68で示した。従って、チャンネルの全体のうち電荷捕獲領域68の真下に位置する部分におけるしきい値電圧だけが上昇し、例えば約4Vになる。チャンネルの全体のうち、残りの部分におけるしきい値電圧は低いままであり、例えば約1Vのままである。

【0070】

図5Bのデバイスにおいて、その右側ビットの読出しを逆方向読出し方式で行うためには、例えば、ソース14に2Vの電圧を印加し、ゲート24に3Vの電圧を印加し、ドレイン16を接地する。読出しを順方向に行う場合と逆方向に行う場合との大きな相違は、逆方向読出しの場合には、メモリ・デバイスのチャンネルを反転状態にするために必要なゲート電圧が非常に大きくなるということにある。例えば、同じ3Vの電圧をゲートに印加しても、逆方向読出しの場合にはメモリ・デバイスのチャンネルは反転状態にならず、空乏状態のままである。その理由は以下の通りである。先ず、ドレイン16（このドレインは読出し時にはソースとして機能する）に隣接したチャンネル部分は、窒化膜20の領域68に捕獲された電子の電荷のために、反転状態になることを妨げられている。また、ソース14（このソースは読出し時にはドレインとして機能する）に隣接したチャンネル部分は、ソース14に2Vの電圧が印加されているために、反転状態になることを妨げられており、チャンネルのこの部分を反転状態にするためには、その2Vに対して反転させなければならない。逆方向読出しの場合に、チャンネル内電圧を高い電圧に維持するためには、非常に広い空乏領域を維持しなければならない。空乏領域が広がると、反転状態を発生させるために、より多くの固定電荷を打ち消さなければならなくなる。図5Aに示した従来のメモリ・デバイスにおいて、本発明に従って逆方向読出しを行う際に電荷捕獲領域66の両端間に発生する電圧を、そのメモリ・デバイスにおいて順方向読出しを行うときに電荷捕獲領域66の両端間に発生する電圧と同程度の大きさにするためには、順方向読出しの場合

(55)

よりも高いゲート電圧を印加する必要がある、例えば4 Vの電圧が必要である。これは、ソースを接地して、ゲートに低い電圧を印加するだけでチャネルを反転状態にすることのできる従来のメモリ・デバイスと異なる点である。本発明のメモリ・デバイスでは、チャネル内電圧を、接地電位に固定するのではなく、それよりも高い、ソース端子に印加されている2 Vの電圧に固定するために、従来のメモリ・デバイスの場合よりも、はるかに高いゲート電圧を印加する必要があるのである。換言するならば、本発明は、次の事実を見出し、その事実を利用したものである。その事実とは、読出し方向を書込み方向と逆方向にすることで、書込み方向と同方向にする場合と比べて、ドレイン-ソース間電圧が同じ場合に電荷捕獲領域68（図5B）の真下に位置するチャネルの部分の両端間に作用する電圧が非常に小さくなり、そのことが即、パンチ・スルーの発生が抑制されることにつながると共に、トランジスタのしきい値電圧に及ぼす、窒化膜20（図5B）の領域68に注入される書込み電荷の影響が増大することにもつながるといことである。例えば、逆方向読出しを行う際のしきい値電圧 V_T を3 Vにするのであれば、それに必要な書込み時間は、図4から分かるように約2マイクロ秒になる。この書込み時間は、メモリ・セルの読出しを順方向読出し方式で行って、しかもしきい値電圧を同じ3 Vにするために必要な書込み時間の長さと比べて3桁も短い時間である。

【0071】

従来は、ONO三層構造を使用したメモリ・セルでは、その窒化膜のある領域に限局されて蓄積した電荷を、限局されたままの状態に保持することは困難であった。その原因は、その種の従来のメモリ・セルでは、順方向に書込みを行った後に同じく順方向に読出しを行っていたからである。書込みを行ったメモリ・セルの読出しを順方向読出し方式で行うためには、書込みを行ったそのメモリ・セルのしきい値電圧の上昇幅が、順方向読出しに適した大きさになるように、窒化膜にかなり大量の電荷を蓄積しなければならない。これに対して、本発明によれば、読出しを逆方向に行うため、書込みを行ったメモリ・セルのしきい値電圧の上昇幅を同じ大きさにするために窒化膜に蓄積せねばならない電荷の量は格段に少なくて済む。図4からは、逆方向読出し方式を採用する場合と順方向読出し方

(56)

式を採用する場合との間の、蓄積すべき電荷の量の差が明らかである（ただし、図4のグラフでは、所与のしきい値電圧 V_T を達成するために必要な書込み時間によって電荷の量を表している）。従来は、窒化シリコン膜の局所領域に電荷を保持することが、たとえ不可能ではないにしても困難であった。そして、その原因は、蓄積された電荷が、その電荷みずからが発生する横方向の電界によって、窒化膜の中で横方向に分散して広がってしまうことにあった。このような電子の分散は特に、品質管理及び信頼性確保のために必要な、高温リテンション・ベーク処理において発生する。この高温リテンション・ベーク処理は、通常、150℃～250℃の温度範囲で12時間～24時間に亘って行われる。従来のデバイスでは、一般的に、この高温リテンション・ベーク処理が施される間に、電荷が窒化膜の中に分散するため、従来のデバイスで電荷保持媒体として窒化膜を使用したものでは、容易に満足な性能が得られなかった。そのため、電荷保持媒体として窒化膜を用いた従来のデバイスは、一般的に広く受け容れられなかった。更に、窒化膜に電荷を蓄積するようにした従来のメモリ・セルにおいて、その窒化膜に蓄積された電荷がリテンション・ベーク処理の際に横方向に広がって分散し易いのは、窒化膜の内部電界によって、いわゆるエレクトロン・ホッピングが発生するからである。エレクトロン・ホッピングという現象の発生頻度は、電界強度の増大に対して指数関数的に上昇する。窒化膜に電荷を蓄積する場合、その蓄積によって窒化膜内に発生する内部電界の強度は、その窒化膜内の蓄積電荷量に正比例する。エレクトロン・ホッピングの発生頻度はこの内部電界の強度に対して指数関数的な関係を有するため、メモリ・セルの読出しを書込みと同方向に行うようにしている場合には、しきい値電圧を所与の上昇幅だけ上昇させるために必要な量の電荷を注入することによって、窒化膜の内部の電荷分布が非常に大きく変化する。この電荷分布の変化のために、実際に達成されるしきい値電圧は、意図したしきい値電圧（即ち、設計値のしきい値電圧）と比べて随分と低い電圧になってしまう。そのため、従来のONOデバイスは、成功を収めることができなかったのである。

【0072】

本発明によれば、メモリ・セルの読出しを書込みとは逆方向に行うため、しき

(57)

い値電圧を所与の上昇幅だけ変化させるのに必要な電荷の量は、メモリ・セルの読出しを順方向読出し方式で行うようにしている場合にしきい値電圧を同じ上昇幅だけ変化させるのに必要な電荷の量と比べてはるかに少なく済み、場合によっては2分の1ないし3分の1程度の電荷量でよいこともある。従って、メモリ・セルの読出しを逆方向読出し方式で行う場合には、窒化膜内に蓄積した電荷によって発生する内部電界の強度が、メモリ・セルの読出しを順方向読出し方式で行う場合に窒化膜内に蓄積した電荷によって発生する内部電界の強度と比べて、はるかに小さくなる。その結果、エレクトロン・ホッピングの発生頻度も指数関数的に減少し、また窒化膜に蓄積しなければならない電荷量も少量となるため、その電荷が、自らが発生する内部電界によってリテンション・ベーク処理の際に窒化膜の中で横方向に分散することもなくなる。これによって、本発明のメモリ・セルは、書込みと読出しとを同方向に行う従来のONOメモリ・セルのように、性能及び信頼性が低下するのを免れているのである。

【0073】

具体例のフラッシュEEPROMデバイスのデータ

以下に、本発明の原理及び動作についての説明の一助として、本発明に従って構成したフラッシュEEPROMデバイスを実際に測定して得られたデータを提示する。図6に示したグラフは、本発明にかかるフラッシュEEPROMセルに書込みを行った後にそのメモリ・セルからの読出しを行う際に、その読出しを順方向読出し方式で行う場合と逆方向読出し方式で行う場合とでしきい値電圧がどのように相違するかを、ドレイン電圧の関数として表したグラフである。図6、図7、及び図8に示したデータを得るために用いたメモリ・セルは、最下層の酸化膜18、最上層の酸化膜22、及び中間層の窒化膜20の厚さをいずれも100Åにして形成したものである。また、チャネルの完成幅寸法の測定値は0.6μmであり、完成長さ寸法の測定値は0.65μmであった。

【0074】

ドレイン電圧が低いうちは、順方向読出し方式を採用している場合のしきい値電圧も、逆方向読出し方式を採用している場合のしきい値電圧も殆ど差はない。ドレイン電圧が低いうちは電圧差が小さすぎてパンチ・スルーが発生していない

(58)

。しかしながら、ドレイン電圧を上昇させて行くと、順方向読出し方式の場合にはパンチ・スルーの発生頻度が上昇するためにしきい値電圧が低下して行く。ドレイン電圧が十分に高くなると、窒化膜20の電荷捕獲領域68 (図5B)の真下に位置するチャネル部分の全体が、パンチ・スルーの影響を受け、しきい値電圧のレベルは横ばいになって、そのチャネルの本来のしきい値電圧に落ち着く。

【0075】

即ち、ドレイン電圧 V_D が低い間は、逆方向読出し方式の場合の V_D 対 V_T の曲線が、順方向読出し方式の場合の V_D 対 V_T の曲線と同じような姿をしている。しかしながら、ドレイン電圧 V_D が高くなると、これら2つの曲線は急速に互いから離れて行き、逆方向読出し方式の場合のしきい値電圧は、約4Vで横ばいになる。ゲート電圧 V_G は約4Vであり、この場合、ドレイン電圧が約1.2Vになったならば、このデバイスは飽和状態に達している(V_{DSAT})。ゲート電圧 V_G が約4Vのときには、ドレイン電圧 V_D を更に上昇させても、反転層の状態には影響せず、従って、電荷捕獲領域68の真下に位置するチャネル部分の両端間の電圧降下は、ドレイン電圧 V_D が約1.2Vに達したときに最大に達する。従ってドレイン電圧 V_D が1.2Vに達したならば、そこから更にドレイン電圧 V_D を上昇させても、しきい値電圧 V_T はもはや変化しない。例えばドレイン電圧 V_D を1.6Vに設定したときには、逆方向読出し方式の場合と順方向読出し方式の場合との間での、しきい値電圧 V_T の差は2Vである。

【0076】

図7に示したグラフは、本発明にかかるフラッシュEEPROMセルに書込みを行った後にそのメモリ・セルからの読出しを行う際に、その読出しを順方向読出し方式で行う場合と逆方向読出し方式で行う場合とでドレイン電流がどのように相違するかを、ドレイン電圧の関数として表したグラフである。図7では、しきい値電圧を測定する代わりにドレイン電流を測定しており、ゲート電圧は一定に維持している。順方向読出し方式の場合には、予想通りに、ドレイン電圧 V_D の上昇と共にドレイン電流 I_D は増加している。このドレイン電流 I_D を表している順方向と付記した曲線は、また、未書込み状態のメモリ・セルを逆方向読出しで読出すときのドレイン電流 I_D を表した曲線に近いものである。

(59)

【0077】

逆方向読出し方式の場合も、順方向読出し方式の場合と同様に、ドレイン電流 I_D は、ドレイン電圧（ここでいうドレイン電圧とは、逆方向読出しの際にドレインとして機能するソースの測定電圧である）が上昇するにつれて増大しているが、ただし、逆方向読出し方式の場合には、順方向読出し方式の場合と比べて、より低い電流値でドレイン電流 I_D が横ばいになっている。ドレイン電圧 V_D を 2 V にしたときの、それら夫々の場合のドレイン電流の大きさには、約 1000 倍の差がある。このメモリ・セルの論理状態のしきい値を $10 \mu A$ に設定するならば、順方向読出しの曲線は論理状態「0」を表し、逆方向読出しの曲線は論理状態「1」を表すことができる。

【0078】

チャンネル内電圧 V_X

チャンネル内電圧 V_X は、ソースからの距離が X の位置におけるチャンネル内の電圧として定義される。上述の具体例の場合では、本発明のメモリ・セル（例えば図 5 B に示したメモリ・セル）のチャンネル内に存在する電圧 V_X は 2 V にはならない。なぜならば、このデバイスは、反転状態ではなく、空乏状態にあるからである。また一方では、この電圧 V_X は、0 V より大きくなければならず、なぜならば、ゲート電圧が 1.5 V であれば、チャンネル内電圧を約 0.4 V に保持できるからである。実際のチャンネル内電圧は、ソースとドレインとの間に横方向の電界が作用しているため、チャンネルの長手方向の位置によって異なる。しかしながら、しきい値電圧は、チャンネル内電圧の関数として変化する。

【0079】

図 5 B を参照して説明すると、ゲート電圧 V_G の方がしきい値電圧 V_T より高い領域ではチャンネルは飽和状態にあり、そのような領域内ではどの位置のチャンネル内電圧 V_X も、次の数 2 の式で表される。

【0080】

【数 2】

(60)

$$V_X = V_{DSAT}$$

ここで、

$$V_{DSAT} = V_G - V_T = V_G - V_T(V_{DSAT})$$

であり、更に、

$$V_T(V_X) = V_{T0} + \Delta V_T(V_X)$$

である。

【0081】

以上の数2～数4の式から明らかなように、チャネルのしきい値電圧は、ソース電圧を0Vに設定したときのしきい値電圧 V_{T0} に、しきい値電圧の変化幅 ΔV_T を加えた和で表され、更にこのしきい値電圧の変化幅 ΔV_T それ自体が、チャネル内電圧の関数である。

【0082】

図9に示したグラフは、逆方向読出しを行う際に、電荷捕獲領域68の真下に位置するチャネル部分を流れる漏れ電流を、そのチャネル部分の両端間に作用している電圧 V_{TC} の関数として表したグラフである。この図9のグラフから分かるように、電圧 V_{TC} が2Vのときにチャネルを流れる漏れ電流 I_L の概略値は $10^{-5}A$ である。順方向読出しを行う従来のメモリ・セルでは、電荷捕獲領域68の真下に位置するチャネル部分の両端間の電圧は約2Vである。これに対して、本発明のメモリ・デバイスのチャネル内電圧 V_X の、電荷捕獲領域68の左端25の真下に位置する位置27における値は2Vではなく、それより幾分小さな、例えば1Vになる。電荷捕獲領域68の真下に位置するチャネル部分の両端間の電圧が1Vである場合の漏れ電流の大きさは約 $10^{-7}A$ であり、これはまるまる2桁分も小さい値である。

【0083】

ここで重要なことは、書込みによって窒化膜の内部に形成される電荷捕獲領域の左端は、その真下の位置でチャネルを反転状態にするために必要なゲート電圧に影響を与え始める電荷捕獲領域の部分であることである。

(61)

【0084】

図10に示したグラフは、逆方向読出し方式を採用する場合に、チャンネル内電圧 V_X を所与の電圧に保持するために必要なゲート電圧 V_G を表したグラフであり、ただしここでいうチャンネル内電圧 V_X とは、チャンネルの全長のうち、ドレインから、一方のビットに対応した電荷捕獲領域68の端部25の真下の位置27までの部分におけるチャンネル内電圧である。電荷捕獲領域68の端部25の真下の位置27(図5B)におけるチャンネル内電圧 V_X をある電圧に維持するために必要なゲート電圧 V_G は、基板内のアクセプタの個数 N_A 及び酸化膜の厚さ T_{OX} の関数であり、これを波線/点線で示した。グラフ中の実線は、バック・バイアスの影響がチャンネルのしきい値電圧に何ら影響を及ぼさないときのチャンネルのしきい値電圧である。バック・バイアスの影響がないときには、しきい値電圧はチャンネルの全長に亘って一定である。一方、チャンネル内電圧が発生したならば、しきい値電圧はチャンネルの全長に亘って一定ではなくなる。図10のグラフに示すように、しきい値電圧は、チャンネル内電圧が上昇すると共に、非線形的に上昇する。しきい値電圧の増加分がチャンネル内電圧の関数としてどのように変化するかは周知の事項である。このしきい値電圧の増加分とチャンネル内電圧との関係を論じた更に詳細な説明は、「The Design and Analysis of VLSI Circuits」 by L. A. Glasser and D. W. Dobberpuhl」の第2章に記載されており、同文献の内容はこの言及を持って本願開示に組込まれたものとする。

【0085】

尚、逆方向読出し方式を採用することによって有利な効果が得られるのは、その方式を採用すると共に、ゲート電圧を比較的低い電圧に設定する場合に限られる。例えば、ドレイン電圧 V_D を2Vに設定するようにした場合に、ゲート電圧 V_G をそれより高い5Vに設定したならば、順方向読出し方式とした場合と逆方向読出し方式とした場合との間の、しきい値電圧の差は殆ど消え失せてしまう。図11に示したグラフは、順方向読出し方式の場合と逆方向読出し方式の場合との間での、デバイスのビットの読出しを行うときに測定されるドレイン電流 I_D の大きさに差に対して、読出しを行うときに印加するゲート電圧 V_G の大きさが

(62)

どのように影響するかを表したグラフである。このグラフに示した曲線は、逆方向読出し方式の場合に達成するしきい値電圧 V_T を3.5 Vに設定して求めたものである。図11から分かるように、ドレイン電圧 V_D を一定に維持するようにしてゲート電圧 V_G を上昇させて行くと、逆方向読出し方式の場合のドレイン電流 I_D を表す曲線が、順方向読出し方式の場合のドレイン電流曲線に次第に重なってくる。例えば、ゲート電圧 V_G を2.5 Vに設定したときの、順方向読出し方式の場合の電流曲線と逆方向読出し方式の場合の電流曲線とを比べれば、逆方向読出し方式の場合の読出し電流の方が小さく、4桁ほどの差があることが分かる。ゲート電圧 V_G を3 Vに設定したときには、順方向読出し方式の場合と逆方向読出し方式の場合とで、読出し電流の差は縮まり、2桁より少し大きい程度の電流差になっている。ゲート電圧 V_G を5 Vに設定したときには、読出し電流の差はもはや15%程度でしかない。これらの曲線から明らかなように、順方向読出し方式を採用した場合と、逆方向読出し方式を採用した場合とで、ドレイン電流 I_D に大差が生じるのは、ゲート電圧 V_G を十分に低い値に設定した場合に限られる。従って、逆方向読出し方式を採用することによって効果が得られるのは、読出しの際に印加するゲート電圧 V_G を適当な低い電圧に設定する場合に限られる。尚、ゲート電圧 V_G の設定値には好適範囲が存在する。ゲート電圧 V_G の設定値があまりに低ければ、チャネル内に十分な大きさの電流を発生させることができない。一方、ゲート電圧 V_G の設定値あまりに高ければ、逆方向読出し方式とした場合でも、順方向読出し方式とした場合と大差なくなる。

【0086】

図12に示したグラフは、順方向読出し方式を採用する場合と逆方向読出し方式を採用する場合との間のしきい値電圧の差に対して、ゲート電圧の設定値がどのように影響するかを表したグラフである。この図12のグラフの曲線を求めるために、まず、書込み用ドレイン電圧 V_D を1.6 Vに設定し、しきい値電流 I_{TH} を $1\mu A$ に設定して、しきい値電圧 V_T が3.5 Vになるようにデバイスの書込みを行った。続いて、読出しの際のドレイン電流 V_D の関数としての、しきい値電圧 V_T を測定した。図12のグラフ中に記入したように、下方の2本の曲線がスレシヨルド電流 I_{TH} を $1\mu A$ に設定した場合のものであり、上方の2本の曲線

(63)

はスレシヨルド電流 I_{TH} を $40 \mu A$ に設定した場合のものである。スレシヨルド電流 I_{TH} をより大きな電流値に設定するためには、しきい値電圧 V_T を測定するときのゲート電圧 V_G を上昇させねばならないが、ただしその場合でも、窒化シリコン膜に捕獲される電荷量は同じである。下方の2本の曲線（スレシヨルド電流 I_{TH} を $1 \mu A$ に設定した曲線）では、順方向読出し方式を採用した場合のしきい値電圧の曲線と、逆方向読出し方式を採用した場合のしきい値電圧の曲線とが、ドレイン電圧 V_D が約 $50 mV$ になったところで互いに離れ始め、逆方向読出し方式を採用した場合のしきい値電圧 V_T は、ドレイン電圧 V_D が約 $0.6 V$ になったところで飽和状態に達している。上方の2本の曲線（スレシヨルド電流 I_{TH} を $40 \mu A$ に設定した曲線）では、順方向読出し方式を採用した場合のしきい値電圧を表す曲線と、逆方向読出し方式を採用した場合のしきい値電圧を表す曲線とは、ドレイン電圧 V_D が $0.35 V$ になったところで互いに離れ始め、逆方向読出し方式を採用した場合のしきい値電圧 V_T は、ドレイン電圧 V_D が約 $1.35 V$ になったところで飽和状態に達している。以上の曲線から明らかなように、捕獲電荷量の影響の大きさは、ゲート電圧 V_G をいかなる値に設定するかによって異なる。

【0087】

2ビット・メモリ・セルの書込み

これより図2を参照して、本発明の2ビットEEPROMセルの書込み方式について説明する。この2ビットEEPROMセルの書込み方式では、左側ビットと右側ビットの各々を、デバイスがシングル・ビット・デバイスである場合と同様に取り扱う。換言するならば、左側ビットと右側ビットのいずれの書込みも、先に「1ビットの順方向書込み」と題した章で説明した方式に従って行う。例えば右側ビットについては、ゲート24とドレイン16とに夫々に書込み用電圧を印加して、電荷捕獲膜20内の点線の円23で示したドレイン近接領域に、ホット・エレクトロンを注入して捕獲させる。この場合、窒化膜（電荷捕獲膜）20により多くの電子が注入されるほど、この電荷捕獲領域の真下に位置するチャネルの部分のしきい値電圧が上昇する。図2には、この右側ビットの書込みを、「書込み」と付記した右向きの矢印で表した。この矢印は、右側ビットの書込み時

(64)

には電子が右へ流れることを表している。

【0088】

同様に、左側ビットの書込みは、ゲート24とソース14とに書込み用の夫々の電圧を印加して行う。ソース14は、左側ビットの書込みの際にはドレインとして機能する。ホット・エレクトロンは、電荷捕獲膜20の、点線の円21で示された領域に注入されて捕獲される。窒化膜20により多くの電子が注入されるほど、この電荷捕獲領域の真下に位置するチャネル部分のしきい値電圧が上昇する。図2には、この左側ビットの書込みを、「書込み」と付記した左向きの矢印で表した。この矢印は、右側ビットの書込み時には電子が左へ流れることを表している。

【0089】

図13に示したグラフは、一方のビットに対する書込みが、未書込み状態にある他方のビットにどのような影響を及ぼすかを表したものである。このグラフに示した具体例では、右側ビットの書込みを行うと同時に左側ビットの読出しを行った。右側ビットのしきい値電圧 V_T として示されている値は、書込み方向とは逆方向の読出しを右側ビットに対して行って測定した値である。図示の如く、未書込み状態の左側ビットのそのしきい値電圧は、右側ビットのしきい値電圧と比べて低く、そのため、右側ビットの状態の読出しは、左側ビットから干渉を受けずに行うことができる。グラフの2本の曲線から分かるように、右側ビットの書込みが行われた後も、未書込み状態の左側ビットは、その未書込み状態を維持している。このグラフからは更に、左側ビットの読出しを行う際には、既書込み状態の右側ビットに、リード・スルー（読出し（リード）に伴うパンチ・スルー）が発生することも見て取れる。

【0090】

図14に示したグラフは、一方のビットに対する書込みが、既書込み状態にある他方のビットにどのような影響を及ぼすかを表したグラフである。このグラフは、2回のパスを実行して作成したものである。そのため、グラフ中の各曲線には「第1パス」または「第2パス」と付記してある。第1パスでは、右側ビットの書込みを行うと共に、未書込み状態の左側ビットの読出しを行った。その結果

(65)

を示したのが「右側ビットー第1パス」と付記した曲線及び「左側ビットー第1パス」と付記した曲線である。これら2本の曲線は、図13のグラフの2本の曲線と同様の曲線となっている。第2パスを実行するときには、右側ビットは既書込み状態にあり、この状態で、それまで未書込み状態であった左側ビットの書込みを行うと共に、右側ビットの読出しを行った。この第2パスの結果を示したのが「右側ビットー第2パス」と付記した曲線及び「左側ビットー第2パス」と付記した曲線である。

【0091】

図14のグラフから明らかなように、第1パスにおいて、右側ビットの書込みが行われた後も、左側ビットは未書込み状態を維持している。従って、右側ビットの書込みは、未書込み状態の左側ビットに影響を及ぼしていない。第2パスでは、左側ビットの書込みが行われたが、右側ビットは既書込み状態を維持しており、読出し可能な状態を保っている。書込みを行うときのゲート電圧は、十分に高い電圧（通常は約10V）に設定されるため、既書込み状態にある右側ビットは、左側ビットの書込み動作に対して殆ど干渉することなく、わずかに、左側ビットのしきい値電圧を右側ビットの書込みを行ったときに右側ビットのしきい値電圧が到達した電圧と同じ電圧に到達させるのに、右側ビットのときよりもいくらか余計に時間がかかっているだけである。このグラフからは更に、左側ビットの書込みの際には、右側ビットにプログラム・スルー（書込み（プログラム）に伴うパンチ・スルー）が発生するという事も見て取れる。更に、左側ビットの書込みは、右側ビットの既書込み状態に影響を及ぼしていない。この場合、影響を及ぼすことがなく、即ち干渉することがないのは、左側ビットと右側ビットのいずれにおいても、プログラム・スルー及びリード・スルーが発生するからである（プログラム・スルーが発生するということは、一方のビットに対する書込み動作が、他方のビットが既書込み状態であることによって妨害されないということであり、リード・スルーが発生するということは、一方のビットに対する読出し動作が、他方のビットが既書込み状態であることによって妨害されないということである）。

【0092】

(66)

プログラム・スルー及びリード・スルーが発生可能であるのは、次の理由による。即ち、一方のビットが既書込み状態にあるときに、他方のビットの逆方向読出しを行うと、最初の既書込み状態にあるビットは順方向読出しの形となるが、既書込み状態にあるビットを順方向読出しの形で導通状態にするために必要なゲート電圧は、それを逆方向読出しの形で導通状態にするために必要なゲート電圧より低いということがその理由である。また別の見方をするならば、プログラム・スルー及びリードスルーが発生可能であるのは、電荷捕獲領域が狭い（短い）ためにパンチ・スルーが発生し易いからだとも見える。電荷捕獲膜20の右端の電荷捕獲領域60（図15）に捕獲される電荷は少量であり、その電荷は自ずから、領域16と基板12との間の接合部に近接した位置に集まる。また、電荷捕獲膜20の左端の電荷捕獲領域70に捕獲される電荷も同様に少量であり、その電荷は自ずから、領域14と基板12との間の接合部に近接した位置に集まる。従って、電荷捕獲膜20の左右両端の各々に、狭い電荷捕獲領域が形成され、それら電荷捕獲領域（即ち、ビット）においては、当該ビットが順方向読出しの形となったならば容易にパンチ・スルーが発生する。そして、左側ビット70（電荷捕獲領域70をビットと呼ぶのは、この領域70に電荷が存在するか否かによって、「0」と「1」が表されるからである）が順方向読出しの形となったときには、右側ビット68は逆方向読出しの状態にある。この電荷捕獲領域70の真下に位置するチャネル部分では、低いゲート電圧を印加するだけで容易にパンチ・スルーが発生するため、デバイスから読出される信号は、右側ビット68に捕獲されている電荷によって制御されることになる。また更に、電荷捕獲領域70及び電荷捕獲領域68の両方に同程度の電荷が捕獲されている場合に、一方のビットの逆方向読出しを実行したとき、他方のビットは、読出される信号の状態に対して何ら影響を及ぼすことはない。

【0093】

新たに書込みを行うのではない方の既書込み状態のビットが、他方のビットの書込みによって影響を受けずに済むもう1つの理由は、その既書込み状態のビットの書込みが行われたときにドレインとして機能した電極へは、他方のビットの書込みに際して書込み用電圧が印加されないことである。即ち、他方のビットの

(67)

書込みを行う際には、そのデバイスの既書込み状態のビットとは反対側に位置する、他方のビットにとってドレインとして機能する電極へ書込み用電圧が印加されるのである。

【0094】

既述のごとく、一方のビットを既書込み状態にしても他方のビットの読出しが可能であるようにするためには、書込み時間が長すぎてはならない。例えば、右側ビットが既書込み状態、即ち論理状態「0」にあり、左側ビットが未書込み状態、即ち論理状態「1」にある場合に、もし右側ビットの書込みを行ったときの書込み時間が長すぎたならば、左側ビットの読出しを行おうとしても、チャンネルが十分に導通状態になることができず、不十分な電流しか流れないため、センスアンプが論理状態「1」を検出しそこなうおそれがある。換言するならば、右側ビットを書込むときの書込み時間が長すぎると、論理状態「1」にある左側ビットの動作がにぶくなる。これは、チャンネル電流が減少するために読出しに長時間かかるようになるということであり、最悪の場合には、右側ビットの書込みが長時間に亘って行われたために、左側ビットの読出しが妨害され、左側ビットが論理状態「0」にあるものと誤認するおそれがある。従って、書込み時間には適正範囲（ウィンドウ）が存在し、あるビットに書込みを行ってそのビットを論理状態「0」にするときの書込み時間は、この適正範囲内になければならない。適正範囲の決定要因を成す変数パラメータは幾つか存在するが、そのうちの1つとして、読出しの際に事実上のドレインとして機能する領域に印加する電圧がある。この読出し用ドレイン電圧が高い電圧に設定されていると、電荷捕獲領域を長くしなければパンチ・スルーを防止することができないため、書込み時間を長くしなければならない。従って、電荷捕獲領域を長くするということは、書込み時間を長くするということに他ならない。書込み時間の適正範囲の上限は、順方向読出し状態となることで多少は変化する読出し電流の変化量が、逆方向読出しの際の読出し電流に対する所定割合を超えないような書込み時間である。この逆方向読出しの際の読出し電流に対する所定割合は、最大でも10%までにとどめることが好ましい。この所定割合は、全く自由に決定できるものではないが、チップ設計者の設計目的に合わせて、最適な値とすればよい。例えば、チップ設計

(68)

者は、順方向読出しのしきい値電圧と逆方向読出しのしきい値電圧との間の余裕を3桁にしようとするかも知れない。これを達成するためには、ゲート電圧、ドレイン電圧、それに不純物注入濃度レベルを適当に調整して、最大書込み時間を決定すればよい。

【0095】

一方のビット（第1ビット）を既書込み状態にすると、その影響として、他方のビット（第2ビット）の書込み動作と読出し動作のいずれの動作速度も幾分低下する。第2ビットの書込み動作は、その書込みに際してのゲート電圧がチャネルのしきい値電圧より高い間は継続し、この場合、第1ビットは既書込み状態にあり、ドレインには十分な電圧が作用している。一方、チャネル抵抗は、第1ビットの書込みによって上昇している。書込みに関するパラメータが適切に調節されている限り、チャネル抵抗が高いからといって、それによって第2ビットの書込みや読出しが不可能になることはない。しかしながら、チャネル抵抗が高ければ、第2ビットの書込み及び読出しにその分、余計に時間がかかることになる。

【0096】**2ビット・メモリ・セルの読出し**

これより、本発明にかかる2ビットEEPROMセルの読出し方式について説明する。この2ビット・メモリ・セルの読出し方式においては、書込み動作のときと同様に、各々のビットを、あたかもデバイスがシングル・ビット・デバイスであるかのようにして取扱う。図15は、本発明の好適実施例にかかる2ビットEEPROMセルの断面図であり、ゲートの下方の、右側ビットに対応した電荷捕獲領域と左側ビットに対応した電荷捕獲領域とを示した図である。右側ビットに対応した電荷捕獲領域は参照番号68で示し、左側ビットに対応した電荷捕獲領域は参照番号70で示した。図15には更に「読出し」と付記した2本の矢印を図示しており、一方の矢印は左向きであって右側ビットの読出し方向を示しており、他方は右向きであって左側ビットの読出し方向を示している。

【0097】

先に「1ビットの逆方向読出し」と題した章で述べたように、右側ビットの読出しは、ソース14とゲート24とに読出し用電圧を印加し、ドレイン16を接

(69)

地して、逆方向読出しとして行う。印加する電圧の具体例は、例えば、ゲート電圧としては 3 V を印加し、ソース電圧としては 2 V を印加する。これによって発生するチャネル内電圧 V_X は、図 10 のグラフに示すように、また既に詳細に説明したように、ソース電圧とゲート電圧とのどちらよりも低い。同様に、左側ビットの読出しは、ゲート 24 とドレイン 16 とに読出し用電圧を印加し、ソース 14 を接地して行い、印加する電圧の具体例は、例えば、ゲート電圧としては 3 V を印加し、ドレイン電圧としては 2 V を印加する。

【0098】

図 16 は、既書込み状態ビットにおけるリード・スルーの発生に対して、低すぎるドレイン電圧がどのように影響するかを表したグラフである。この図 16 のグラフは、図 14 のグラフと同様のものであるが、ただし上方の 5.1 V 以上のところに更に 2 本の曲線が追加されている。下方の 4 本の曲線は、ドレイン電圧 V_D を 1.6 V に設定した場合のものである。上方の 2 本の曲線は、ドレイン電圧 V_D を 50 mV に設定し、他方のビットを既書込み状態にしておいて読出しを行った場合のものである。これら 2 本の曲線から明らかなように、ドレイン電圧 V_D の設定値が低すぎ、しかも第 1 ビットが既書込み状態にある場合には、発生するチャネル内電圧が低すぎるために、リード・スルーは起こらない。更にこのグラフの曲線からは、第 2 ビット（ここでは左側ビット）の書込みを行うときの書込み速度が低下することも分かり、その原因は、直列チャネル抵抗が増大することにある。また、第 2 ビットが未書込み状態にある場合でも、ドレイン電圧 V_D の設定値が低すぎ、しかも第 1 ビットが既書込み状態にある場合には、第 2 ビットの読出しを適切に行うことができない。ここでも、発生するチャネル内電圧が低すぎるために、パンチ・スルーが起こらないのである。そして、パンチ・スルーが起こらなければ、第 2 ビットは、実際の状態が既書込み状態か未書込み状態かにかかわらず、既書込み状態であると誤認されてしまう。

【0099】

パンチ・スルーが発生するか否かは、電荷捕獲領域の長さによって大きく影響され、この電荷捕獲領域とは、例えば図 15 に示した構造における領域 68 及び領域 70 である。これら領域が広すぎる（長すぎる）場合や、領域 16 と 14 の

(70)

該当する方（右側ビット68の電荷に関しては領域16、左側ビット70の電荷に関しては領域14）に近接していない場合には、パンチ・スルーが確実に発生するとは限らず、従ってこの原理は機能しないことがある。従って、捕獲された電荷の位置が、領域16と基板との間の接合部に対応した位置にある（電荷捕獲領域68の場合）こと、及び領域14と基板との間の接合部に対応した位置にある（電荷捕獲領域70の場合）ことが、本発明を機能させる上で重要である。

【0100】

本発明にかかる2ビット・メモリ・デバイスの読出しが行われるときの状況としては次の3つの場合がある。（1）2個のビットが共に未書込み状態にある場合。（2）一方のビットが既書込み状態にあり他方が未書込み状態にある場合。（3）2個のビットが共に既書込み状態にある場合。第1の場合は、リード・スルーが発生せずともよい。第2の場合は、未書込み状態のビットの読出しを行うためには既書込み状態のビットにおいてリード・スルーが発生する必要がある。また、この第2の場合は、シングル・ビットの順方向読出しにおけるしきい値電圧と、シングル・ビットの逆方向読出しにおけるしきい値電圧との差が、読出しにおける動作マージンとなる。この動作マージンの一例は、図6及び図7に示されており、それらの図には、シングル・ビットの読出しに関して、順方向読出しと逆方向読出しとの間でのしきい値電圧 V_T の差、及び読出し電流が示されている。

【0101】

第3の場合は、2個の既書込み状態のビットの、いずれの読出しを行うにも、リード・スルーが発生しなければならない。また、この場合には、第2ビットに書込みを行ったならば、その結果として、実は、第1ビットの読出し状況が改善される。その理由は、チャネル内電圧が、シングル・ビットの読出しの場合よりも更に低下するからである。これによって、ビットが既書込み状態にあるときと未書込み状態にあるときとを区別するための動作マージンが増大する。

【0102】

特に、本発明のEEPROMセルは、2ビットを記憶することのできるメモリ・セルであるが、ただし、このメモリ・セルと共に使用する付属回路やこのメモ

(71)

リ・セルの動作方式は、シングル・ビット・メモリ・セルのための付属回路や動作方式をそのまま使用することが可能である。例えば、本発明の2ビット・メモリ・セルに必要なセンスアンプ回路は、基本的に、シングル・ビット・メモリ・セルのためのセンスアンプと何ら変わるところはない。シングル・ビット・メモリ・セルでは、センスアンプ回路は、既書込み状態と未書込み状態との2つの状態を区別できればそれでよい。同様に、本発明の2ビット・メモリ・セルでも、センスアンプは、既書込み状態と未書込み状態との2つの状態を区別できるだけでよい。このことは、複数のしきい値を使用する従来のマルチ・ビット・メモリ・セルの方式と大きく異なる点である。複数のしきい値を使用すると、センスアンプが複数段階の電流レベルを検出できることを要求される。メモリ・デバイスにおいて複数段階の電流レベルを正確に検出するということは、複雑で達成が困難なタスクである。これに対して本発明のメモリ・セルでは、シングル・ビット・メモリ・セルの場合と同様に、2つの状態を区別できればそれでよい。

【0103】

一方のビットが未書込み状態にあるならば、即ち、電荷捕獲膜のそのビットに対応した領域にまだ電荷が注入されていなければ、そのビットは他方のビットの読出しに対して何ら影響を及ぼすことはない。これに対して、一方のビットが既書込み状態にあるときには、そのビットが、他方のビットの読出しに対してある程度の影響を及ぼすことは避けられない。様々なプロセス・パラメータの値によっては、既書込み状態にあるビットの存在が、チャネルの導電率を低下させることがあり得る。しかしながら、チャネルが十分な導通状態を保っていさえすれば、2ビットのうちのいずれのビットも、適正に書込み及び読出しを行うことができる。このことについては、後に「パラメータの最適化」と題した項において更に詳細に説明する。

【0104】

図15に関し、本発明の2ビット・メモリ・デバイスでは、一方のビットが既書込み状態にあるときに他方のビットの読出しを行う際には、パンチ・スルーを利用した読出しであるリード・スルーを行う。例えば、左側ビット70と右側ビット68とが共に既書込み状態にあるときに、右側ビット68の読出しを行うに

(72)

は、左側ビット70においてパンチ・スルーが発生することで、読出し電流がこの左側ビット70を突き抜けられることが必要とされ、それによって、右側ビットのリード・スルーが行われる。そのため、書込みによって形成される電荷捕獲領域の長さには許容上限値が存在する。電荷捕獲領域の長さは、読出しを行うビットではない方のビットにおいてパンチ・スルーが発生し得るように、十分に短くしなければならない。未書込み状態にあるビットは、他方のビットの読出し電流に対して何ら制約をもたさない。

【0105】

尚、半導体デバイスのスケーリングを行うと、チャネル長さが短くなり、短チャネル効果が発生してくる。2ビット・メモリ・セルでは、1個のトランジスタの2箇所に夫々のビットに対応した電荷を蓄積するため、シングル・ビット・メモリ・セルのトランジスタと比べて、短チャネル効果がより早く発生することが考えられる。そのため、ドレイン電圧の許容レンジを維持するためには、2ビット・メモリ・セルのトランジスタでは、スケーリング係数を小さくすることが必要なことがあり得る。

【0106】

2ビット動作の必須条件

本発明の2ビットEEPROMメモリ・セルの重要な概念として、デバイスが適切に動作するためには、2ビットのいずれもが書込み及び読出しが可能でなければならないということである。2ビットの一方だけが既書込み状態にある場合には、その既書込み状態にあるビットの逆方向読出しを行ったときに、高いしきい値電圧 V_T の値が検出されることで論理状態「0」が検出され、未書込み状態にある方のビットの逆方向読出しを行ったときに、低いしきい値電圧 V_T の値が検出されることで論理状態「1」が検出されるのでなければならない。未書込み状態にある方のビットの逆方向読出しを行うときには、同時に、既書込み状態にある方のビットが順方向読出しされると同じ状態におかれるため、十分に大きな読出し電流が発生するためには、既書込み状態にあるビットの電荷捕獲領域に対応したチャネル部分においてパンチ・スルーが発生しなければならない。仮に何らかの理由でこれが発生しないと、逆方向読出しが行われている未書込み状

(73)

態にあるビットは、論理状態「1」にあるとの、即ち導通状態にあるビットであるとの読出し結果が得られない。

【0107】

この目的を達成するために、順方向読出しと逆方向読出しとの間で、十分なマージンを確保するようにしている。図11に関し、2ビットを記憶するためには、一方のビットの順方向読出しと、他方のビットの逆方向読出しとの間に十分な差が必要である。更に、一方のビットの逆方向読出しを行うときに、他方のビットが既書込み状態であるにせよ未書込み状態であるにせよ、読出し電流は十分大きく、それによって2個のビットを区別できなければならない。例えば、図11において、ゲート電圧を3Vとした場合に、逆方向読出しのためのパンチ・スルーは約1Vで発生する。従って、ドレイン電圧を1.6Vにすれば、第1ビットが既書込み状態にあるときに第2ビットの読出しが確実にできるだけの適切なセーフティ・マージンが得られる。

【0108】

電荷捕獲領域においてパンチ・スルーが確実に発生するようにするために利用可能な2つのパラメータがある。その1つは読出し用ゲート電圧 V_G であり、もう1つは電荷捕獲領域の長さである。電荷捕獲領域が短く、読出し用ゲート電圧 V_G が低ければ、パンチ・スルーは発生しやすい。これは、読出し用ゲート電圧 V_G が低ければ垂直方向の電界が弱くなるため、相対的に横方向の電界が強くなるからである。

【0109】

2ビット・メモリ・セルでは、シングル・ビット・メモリ・セルと比べて、読出し用ゲート電圧 V_G を低い電圧値に設定するということがより重要になる。シングル・ビット・メモリ・セルでは、逆方向読出し方式を採用した場合に、順方向読出し方式を採用した場合より良好な結果が得られさえすればよく、従って、順方向読出し方式とした場合のあるビットのしきい値電圧 V_T が、逆方向読出し方式としたときのそのビットのしきい値電圧 V_T より低いというだけで十分であった。これに対して、2ビット・メモリ・セルでは、単に、順方向読出し方式とした場合の方が、しきい値電圧 V_T が低くなるというだけでは十分でなく、他方

(74)

のビットの読出しを行う際に、そのビットにパンチ・スルーが発生し得るように、順方向読出し方式とした場合のしきい値電圧 V_T が十分に低いのでなければならない。順方向読出し方式の場合と逆方向読出し方式の場合との間での、しきい値電圧 V_T の差分 Δ が十分な大きさをないと、一方のビットが既書込み状態にあるときに、他方のビットの読出しが不可能になってしまう。

【0110】

従来のメモリ・デバイスの消去

先に米国特許第4173766号(Hayes)に関連して説明したように、Hayes特許に記載されている従来の絶縁ゲート形デバイスの大きな短所は、フラッシュEEPROMをHayesのデバイスを用いて構成するのは困難であるということにある。即ち、酸化膜-窒化膜-酸化膜の三層構造ではなく、窒化膜-酸化膜の二層構造を使用しているため、書込みの際に窒化膜に注入された電荷が、その窒化膜の全体に分散して広がってしまうのである。最上層の酸化膜が存在していないために、窒化膜のどの部分に電荷を蓄積させるかについての電荷蓄積位置を制御する能力が低く、そのため、ゲートから流入する正孔によって、窒化膜内の電荷の幾分か中和されてしまうのである。従って、デバイスに十分な電荷保持性能を付与するには、窒化膜を厚くしなければならない。しかしながら窒化膜が厚いことによって、電荷捕獲領域が大きく広がってしまい、そのため、セルの消去が、不可能ではないにしても困難になっている。以上から分かるように、電荷保持性能を確保し十分に大きなしきい値電圧の変化幅 Δ が得られるようにすることと、デバイスの消去性能を良好なものとすることとの間で、折り合いを付けなければならないとなっている。

【0111】

ホット・エレクトロンを利用して書込みを行うようにした従来のデバイスのうちには、正孔を窒化膜に注入することによって、先に窒化膜に捕獲されていた電子を中和する(即ち、消去する)ようにした消去メカニズムを採用したものがある。この場合、情報を消去するには、ゲートを接地し、ドレインに十分な電圧を印加することで、なだれ降伏(なだれ絶縁破壊)を発生させるようにしている。このなだれ降伏によって、ホット・ホール注入が行われる。なだれ降伏現象を

(75)

発生させるには、ドレインに比較的高い電圧を印加する必要がある。それによって発生したホット・ホールは、チャネルと窒化膜との間に存在している層構造の最下層を成している酸化膜の正孔ポテンシャル障壁を跳び越えて、窒化膜内の電子と再結合する。しかしながら、この動作メカニズムは非常に複雑であり、この方式で機能するメモリ・デバイスを構成することは容易でない。ホット・ホールの注入によって消去を行うことに付随するもう1つの短所は、ドレインと基板との間の接合部に降伏（絶縁破壊）が発生するため、そこに非常に大きな電流が発生し、しかもその電流の制御が容易でないことである。更に、メモリ・セルが耐え得る書き込み／消去サイクルの回数（書換え可能回数）には限度があり、それは、降伏が発生する都度、接合部に損傷が加わるからである。この損傷は、降伏状態になる接合部の近傍に発生する極めて高い局所的高温によって引き起こされるものである。

【0112】

2ビット・メモリ・セルの消去

これより、2ビット・フラッシュEEPROMメモリ・セル10（図15）の消去メカニズムについて更に詳細に説明して行く。本発明の2ビット・フラッシュEEPROMメモリ・セルを消去するために採用している消去メカニズムは、正孔の移動ではなく、電子の移動を利用したものである。右側ビットの消去を行うには、電荷捕獲領域68の電子を、層構造の最上層の酸化膜22を通過させてゲート24から排出させるか、または、層構造の最下層の酸化膜18を通過させてドレイン16から排出させるようにする。左側ビットの消去を行うには、電荷捕獲領域70の電子を、これも同じように、層構造の最上層の酸化膜22を通過させてゲート24から排出させるか、または、層構造の最下層の酸化膜18を通過させてソース14から排出させるようにする。

【0113】

ここでは、右側ビットを例に取って説明する。消去方法の1つは、ゲート24に負電圧、ドレイン16に正電圧を同時に印加し、電荷捕獲膜である窒化膜20から、トンネル効果によって電子を層構造の最下層の酸化膜18を通過させ、ドレイン16へ移動させる。左側ビットの消去も同様の方法で行うが、ただし、左

(76)

側ビットの場合にはドレイン 16 の代わりにソース 14 に正電圧を印加する。トンネル効果による電子の移動が発生する領域は、ドレイン 16 の近傍の局所領域に略々限定される。この消去方法によってメモリ・セル 10 を消去する場合に、その消去動作を好適に行えるようにするために、層構造の最下層の酸化膜 18 の厚さを適切に選定し（即ち、約 70 Å の厚さにし）、それによって、電荷捕獲膜である窒化膜 20 からドレイン 16 への電子の排出を最適化するようにする。

【0114】

更に右側ビットを例にとって、第 2 の公知の消去方法について説明する。この消去方法では、ゲート 24 に正電圧を、ドレイン 16 にゼロ電圧を同時に印加する。ゼロ電圧を印加するということは、接地するということである。これによって、電荷捕獲膜である窒化膜 20 から、トンネル効果によって電子を層構造の最上層の酸化膜 22 を通過させ、ゲート 24 へ移動させる。左側ビットの消去も同様の方法で行うが、ただし、左側ビットの場合にはドレイン 16 の代わりにソース 14 にゼロ電圧を印加する。この方法を用いる場合に、層構造の最上層の酸化膜 22 を適切に形成する（この場合も、約 70 Å の厚さに形成する）ことで、電荷捕獲膜である窒化膜 20 からゲート 24 への電子の排出を最適化し、それによってメモリ・セル 10 の消去動作を好適に行えるようにする。1 つの実施例としては、ゲート 24 に印加する電圧を 10 V ~ 18 V とするとき、最上層の酸化膜 22 の厚さを 50 Å ~ 80 Å にするようにしている。

【0115】

図 17 は、順方向読出し方式を採用している場合と逆方向読出し方式を採用している場合の夫々について、書込みの仕方が消去時間の長さなどにどのように影響するかを表したグラフである。この図 17 グラフから分かるように、逆方向読出しによってしきい値電圧 V_T を検出するようにしている場合には、そのしきい値電圧 V_T を 4 V にまで上昇させるのに必要な書込み時間は 10^{-5} 秒であり、一方、順方向読出しによってしきい値電圧 V_T を検出するようにしている場合には、そのしきい値電圧 V_T を 4 V にまで上昇させるのに必要な書込み時間は 10^{-3} 秒であった。尚、図 17 に示したグラフは、本発明に従って構成したメモリ・セルを測定して得たデータに基づいて作成したものである。第 1 パスでは、読出し方式

(77)

を逆方向読出しとして、デバイスに書込みを行い、そして消去を行った。第2パスでは、読出し方式を順方向読出しとして、デバイスに書込みを行い、そして消去を行った。逆方向読出し方式とした場合も、順方向読出し方式とした場合も、書込んだ電荷を消去するプロセスにおいて用いるドレイン電圧及びゲート電圧の設定値は同じとし、即ち、消去用ドレイン電圧 V_D は5.5 Vに設定し、消去用ゲート電圧 V_G は-8 Vに設定した。層構造の最上層の酸化膜、最下層の酸化膜、及び窒化膜の厚さはいずれも100 Åとした。順方向読出し方式とした場合も、逆方向読出し方式とした場合も、書込み用電圧の接地値は同じとし、即ち、書込み用ドレイン電圧は5.5 Vに、書込み用ゲート電圧は10 Vに設定した。書込み時間だけは異なる長さとした。順方向読出し方式とした場合の書込み曲線、及び逆方向読出し方式とした場合の書込み曲線は、図8のグラフに示されている曲線と同じものである。

【0116】

図17から分かるように、逆方向読出し方式を採用する場合と、順方向読出し方式を採用する場合とでは、デバイスの書込みによって達成するしきい値電圧が同一であっても、その書込みを完全に消去するために必要とされる消去時間は、順方向読出し方式を採用する場合よりも、逆方向読出し方式を採用する場合の方が格段に短くなる。順方向消去時間（即ち、デバイスの読出し方式を順方向読出し方式としている場合に、所与のしきい値電圧に対応した捕獲電荷を排出するためにかかる時間）は、逆方向消去時間（即ち、デバイスの読出し方式を逆方向読出し方式としている場合に、所与のしきい値電圧に対応した捕獲電荷を排出するためにかかる時間）より長い。更に、消去時間が1秒間となる時点で、順方向消去曲線と、逆方向消去曲線との間には僅かながら隙間があることから分かるように、電荷捕獲領域の電荷が完全には排出されずに、残留電荷が存在している。これは、順方向読出し方式を採用している場合に、4 Vのしきい値電圧を達成するために必要な書込みによって形成される電荷捕獲領域が、逆方向読出し方式を採用している場合と比べて、より大きくより広いことによるものである。このグラフの2本の曲線からは、順方向消去時間が、逆方向消去時間より1桁長いことが分かる。「順方向消去」と付記した曲線のしきい値電圧が急激に上昇しているの

(78)

は、しきい値電圧の測定を逆方向読出し方式で行っているためである。捕獲電荷量が同じであれば、逆方向読出し方式を採用している場合に達成されるしきい値電圧は、順方向読出し方式を採用している場合に達成されるしきい値電圧よりもはるかに高い。図 17 から分かるように、順方向消去曲線の勾配と逆方向消去曲線の勾配とでは、大きさに差がある。逆方向読出し方式を採用している場合には、逆方向読出し方式を採用している場合と比べて、捕獲する必要のある電荷量が、はるかに少なくて済むことから、捕獲電荷を排出する消去動作に必要な消去時間が、約 10 分の 1 ～ 20 分の 1 で済むのである。図 17 からは更に、メモリ・セルが、深い空乏状態に陥らないことが分かる。消去時間が 1 秒間に達した時点でも、しきい値電圧（約 2 V）は、未書込み状態のメモリ・セルのしきい値電圧より低くなってはいない。このことは、従来のメモリ・セルと比べたときの、本発明のメモリ・セルの大きな利点の 1 つであり、従来のメモリ・セルにおいては、また特にフローティング・ゲート・セルにおいては、過剰消去が行われると、フローティング・ゲートに隣接した電荷が失われて深い空乏状態に陥ることから、メモリ・アレイに障害が発生するおそれがある。

【0117】

このメモリ・セルの消去メカニズムは、その消去動作が自動的に停止するという特性があり、この特性の由来は、次のことによる。即ち、メモリ・セルの消去が進行して行くにつれて、窒化膜の電荷捕獲領域 68（図 15）（右側ビットの場合）にだけ、正電荷が流入して行き、この領域 68 に蓄積していた負電荷を中和するが、その際に、窒化膜 20 のその他の部分には影響を与えないのである。そのため、チャネルのしきい値電圧は、最初のうちは一貫して低下して行くが、ソース側のチャネルの大部分におけるしきい値電圧である未書込み状態にあるメモリ・セルのしきい値電圧に近付くにつれて次第に横ばいになり、最終的には、そのしきい値電圧に落ち着くのである。本発明のメモリ・セルの消去方法によれば、過剰消去が行われた場合にも、その過剰消去のしきい値電圧への影響（即ちしきい値電圧の低下）は、電荷捕獲領域 68 の真下に位置する比較的狭いチャネル部分のしきい値電圧にしか及ばず、チャネルのその他の部分のしきい値電圧は通常値に維持される。図 18 は、本発明の 2 ビット EEPROM セルの個々のビ

(79)

ットの消去特性を表したグラフである。このグラフは2回のバスを実行して作成したものであり、それら2回のバスを実行する準備として、先ず、左右の夫々のビットの書込みを行い、それら書込みにおいては、逆方向読出しによって測定されるしきい値電圧の値が所与の値となるような量の電荷を、それらビットに対応した夫々の電荷捕獲領域に蓄積した。続いて第1バスでは、右側ビットの消去を実行すると共に左側ビットの読出しを実行し、その結果を「右側ビットー第1バス」及び「左側ビットー第1バス」と付記した2本の曲線で示した。次の第2バスでは、左側ビットの消去を実行すると共に右側ビットの読出しを実行し、その結果を「右側ビットー第2バス」及び「左側ビットー第2バス」と付記した2本の曲線で示した。このグラフから分かるように、一方のビットの消去を実行しても、それによって他方のビットの状態に影響が及ぶことはない。このように影響が及ばない理由は、消去用電圧が作用する領域が、消去しようとするビットに近接している一方の接合部だけに局在することによるものである。尚、「左側ビットー第2バス」と付記した曲線と「右側ビットー第1バス」と付記した曲線との差は有意のものではなく、測定誤差内の差でしかない。

【0118】

図19は、本発明の2ビットEEPROMセルの書込み特性及び消去特性に対して、書換え繰返し回数がどのように影響するかを表したグラフである。このグラフは、ある決まった量の電荷をビットに捕獲させたときの、そのビットのしきい値電圧 V_T を、逆方向読出しを行う場合（上方の曲線）と、順方向読出しを行う場合（下方の曲線）の夫々について示したものである。順方向読出しの場合と逆方向読出しの場合とのいずれについても、書換え回数が増すにつれて次第にしきい値電圧 V_T が上昇してゆく傾向が見られるが、これは、消去の際に、蓄積していた電荷の全てを完全に排出し切れていないためであり、その結果、書換え回数が増すに連れて次第に捕獲電荷量が増大しており、特に、書込み及び消去の回数が1000回を超えるとその増大が顕著である。

【0119】

先に説明したように、逆方向読出し方式を採用すれば、読出し効率が高いため、電荷捕獲領域が狭くても読出しが可能である。また、消去は常に、その消去

(80)

に際して事実上のドレインとして機能する領域（電荷捕獲領域68の消去を行う場合では領域16、電荷捕獲領域70の消去を行う場合では領域14）を介して行われるため、電荷捕獲膜20から除去せねばならない少量の電荷が、ドレイン16を介して（電荷捕獲領域68の消去を行う場合）、または事実上のドレイン14を介して（電荷捕獲領域70の消去を行う場合）排出される。従って、メモリ・セル10の読出しを逆方向読出し方式とした場合には、消去時間が大幅に短縮される。そのため、消去プロセスの全体を、従来のメモリ・デバイスにおける消去プロセスと比べて、はるかに容易なものとなっている。従来のメモリ・デバイスにおいては（即ち、順方向書込み／順方向読出しを行っている場合には）、しきい値電圧の上昇幅を必要な大きさにするためには、電荷捕獲領域66（図5A）の広さを、本発明の場合と比べてはるかに広くする必要があり、そのため消去プロセスが本発明の場合のように容易ではなかった。即ち、メモリ・セル41の消去を行う際には、より広い電荷捕獲領域66に分散しているより大量の電荷をドレイン34から流出させなければならない。これに関して危惧されるのは、電荷捕獲領域66が広がりすぎると、セル41の完全な消去が不可能になるおそれがあることである。電荷捕獲領域66が広がりすぎることがあるのは、デバイスが過剰書込み状態になったときであり、過剰書込み状態になるおそれは、書込み及び読出しを順方向に行っている限り、常に存在する。

【0120】

図20は、順方向読出し方式を採用している場合と逆方向読出し方式を採用している場合とで、過剰書込み状態が消去性能にどのように影響するかを示したグラフである。この図20のグラフは、本発明に従って構成したメモリ・セル10（図5B及び図15）から得たデータに基づいて作成したものである。このメモリ・セル10において、ONO構造の最上層の酸化膜22（図15）、最下層の酸化膜18、及び窒化層20の厚さはいずれも100Åであり、従ってONO構造の全体としての厚さは300Åである。書込みは、書込み用ドレイン電圧 V_D を5.0Vに設定し、書込み用ゲート電圧 V_G を10Vに設定して行った。消去は、消去用ドレイン電圧 V_D を5.0Vに設定し、消去用ゲート電圧 V_G を-8Vに設定して行った。書込みと消去のいずれも順方向で行った。一方、読出しは順

(81)

方向と逆方向の両方で行った。本発明の利点が得られたのは、逆方向読出し方式を採用し、且つ、書込み用ゲート電圧 V_G が所定の電圧範囲から外れないように慎重に制御を行う場合であることが分かった。

【0121】

以上において、書込み時間を100ミリ秒間に設定してメモリ・セルの書込みを行った後に、そのメモリ・セルの消去を行ったところ、適度な消去時間内(図20では、100ミリ秒をもって適度な消去時間とした)に、完全な消去を行うことはできなかった。即ち、順方向読出し方式とした場合と逆方向読出し方式とした場合のいずれも、消去開始後100ミリ秒が経過した時点で、尚、しきい値電圧 V_T が約7Vもあることが分かった。メモリ・セル10の消去を完全に行えなかったのは、過剰書込み状態になっていたからであり、即ち、効果的な消去が行えないまでに電荷捕獲領域が広がりすぎていたためである。書込みを100ミリ秒間に亘って行った場合には、電荷捕獲領域が非常に広がるのである。捕獲電荷を消去するために電荷捕獲領域68(図5B)の両端間に印加した電圧は、13V(ドレイン電圧 V_D が5V、ゲート電圧 V_G が-8Vであるため、合わせて13Vになる)であり、この13Vという電圧値は、ドレイン16の近くに捕獲されている電子を排出させるには十分な電圧である。しかしながら、ドレイン16から離れたチャネルの中央よりに捕獲されている電子を効果的に排出させることはできず、なぜならば、ドレインとゲートの間の13Vの電位差によって発生する電界は、チャネルの中央よりの位置ではかなり弱まっているからである。

【0122】

図17及び図20から明らかなように、順方向読出し方式を採用している場合と逆方向読出し方式を採用している場合とでは、書込み時間に対するしきい値電圧 V_T を表した曲線の勾配が異なる(図20では、「順方向/書込み」と付記した曲線が順方向読出し方式の場合を示し、「逆方向/書込み」と付記した曲線が逆方向読出し方式の場合を示している)。書込み時間が約1ミリ秒を超えた時点で「順方向/書込み」曲線の勾配が「逆方向/書込み」曲線の勾配より大きくなっている。このことは、逆方向読出し方式を採用した場合の方が、順方向読出し方式を採用した場合よりも、過剰書込みに対する許容度が大きくなることを示す

(82)

ものであり、なぜならば、順方向読出し方式を採用した場合には、逆方向読出し方式を採用した場合と比べて、同程度の大きさの書込み時間のばらつき幅に対して、しきい値電圧 V_T のばらつき幅が大きくなるからである。逆方向読出し方式を採用している場合には、書込みを開始してから約 100 マイクロ秒が経過した時点で、既にしきい値電圧 V_T が 4 V に達している。もし書込み開始から 100 マイクロ秒が経過した時点で書込みが停止せず、1 ミリ秒に亘って書込みが継続してしまったならば、それは、書込み時間が 10 倍もの長さになってしまったことになるが、たとえそのようなことがあったとしても、逆方向読出し方式を採用している場合には、しきい値電圧 V_T は約 4.5 V に達するにすぎない。これに対して、順方向読出し方式を採用している場合には、しきい値電圧 V_T を 4 V にまで上昇させるのに、約 7 ミリ秒もの書込み時間が必要であり、この書込み時間が僅か 3 倍になっただけで、しきい値電圧 V_T は約 8.3 V にまで上昇してしまう。しきい値電圧 V_T がこれほど高い値になると、デバイスの消去が不可能になるおそれがある。

【0123】

従って、メモリ・デバイスの読出しを逆方向読出し方式とすれば、単に消去が高速で容易に行えるというだけでなく、実際問題として、順方向読出し方式を採用する場合には、必要なしきい値電圧 V_T が得られるだけの量の電荷を捕獲させることによって、消去が全く不可能な事態に陥るおそれさえあるのである。なぜならば、順方向読出しの場合には、逆方向読出しの場合と比べて、既書込み状態に対応したしきい値電圧 V_T と、未書込み状態に対応したしきい値電圧 V_T との差分 Δ を有効な大きさにするために、はるかに大量の電荷を、ゲート 24 の下方の誘電体膜 20 に捕獲させなければならないからである。そのために、メモリ・デバイスの消去が、少なくともより困難になり、場合によっては不可能にすらなることから、消去能力が必要とされるメモリ・デバイスにとっては、書込み及び読出しを共に順方向で行う方式を採用すると不都合が生じるのである。

【0124】

図 20 のグラフからは更に、ゲートに消去用電圧を印加するよりも、ドレインに消去用電圧を印加する方が、消去を効果的に行えるということが分かる。ゲ-

(83)

トに消去用電圧を印加するとあまり効果的でないのは、捕獲電荷からゲートまでの距離が最上層の酸化膜 22 と窒化膜 20 とを合わせた厚さに略々等しくなり、従ってその距離が大きいためである。これに比べて、ドレインに消去用電圧を印加した場合には消去をより効果的に行うことができ、それは、ゲートと比べてドレインの方が電荷捕獲領域 68 に近いからである。ただし、電荷捕獲領域 68 の幅が狭い場合には、ゲート電圧はより重要になる。そのような場合に、ゲート電圧は、電荷捕獲領域 68 の全域をカバーする電界を効果的に生成することによって、電子の排出効率を向上させるのである。また、電荷捕獲領域を十分に狭くし得るのは、デバイスの読出し方式として逆方向読出し方式を採用している場合に限られ、なぜならば、ゲートの下方の誘電膜に比較的少量の電荷を蓄積しただけで、既書込み状態（ゲート近傍に電荷が蓄積した状態）と、未書込み状態（ゲート近傍に電荷が蓄積していない状態）とを区別し得る十分に大きなしきい値電圧 V_T の差分を達成することができるのは、逆方向読出し方式を採用している場合だけだからである。既述の如く、デバイスの読出し方式として順方向読出し方式を採用している場合には、電荷捕獲領域をかなり広くしないと、既書込み状態と未書込み状態とを区別し得る十分に大きなしきい値電圧を発生させることができない。ドレインから遠く離れた位置に捕獲された電荷は、ゲートに低い電圧を印加しても排除することができない。更に、ドレインに印加する電圧は、約 2 V を超えると読出しを妨害するため、それ以上の電圧とすべきではない。ここでいう読出しの妨害とは、ビットの書込みの際にその一部として行われる読出しの妨害のことであり、その結果として書込み速度が低下するのである。これによって書込みが低速で行われるようになるが、そのメモリ・セルの読出しを反復して行い、つつ書込みが行われるため、書込み継続時間が延長され、それによってビットの書込みが完了するのである。

【0125】

図 21 は、窒化膜の上面を覆う絶縁膜を、酸化処理を利用して形成した場合と TEOS を用いて形成した場合の、夫々の書込み特性及び消去特性を表したグラフである。図 21 に示したこのグラフは、本発明に従って構成した 2 個のメモリ・セルを測定して得られたデータに基づいて作成したものであり、それらメモリ

(84)

・セルのうちの一方は、TEOSを用いて窒化膜の上面を覆う酸化膜22(図15)を形成し、他方は、窒化膜に対して熱酸化処理を施すことで最上層の酸化膜22を形成した。また、いずれもメモリ・セルも、最上層の酸化膜22の厚さは70Å、最下層の酸化膜18の厚さは100Å、窒化膜20の厚さは80Åとした。更に、いずれのメモリ・セルも、そのチャネル幅/長さは、0.6/0.65μmとした。書込み(これは常に順方向で行った)は、ドレイン電圧 V_D を5.0Vに設定し、ゲート電圧 V_G を10Vに設定して行った。また、消去(これも常に順方向で行った)は、ドレイン電圧 V_D を5.0Vに設定し、ゲート電圧 V_G を-6Vに設定して行った。グラフから明らかなように、窒化膜の上面を覆う酸化膜を、酸化処理を利用して形成した場合も、TEOSを用いて形成した場合も、書込み特性及び消去特性に殆ど差はない。

【0126】

図22は、ゲート電圧を0Vにして消去を行うときの消去時間を、2つのドレイン電圧の値について表したグラフである。このグラフの2本の曲線を生成するためには、先ず、順方向書込みを約10マイクロ秒に亘って行って、しきい値電圧 V_T を約4Vにまで上昇させ、その後に順方向消去を行った。上方の曲線は、ゲート24(図15)を接地し、ドレイン16に6.0Vを印加して消去を行った場合を示したものである。下方の曲線は、ゲート24を接地し、ドレイン16に6.5Vを印加して消去を行った場合を示したものである。どちらの曲線でも書込みによってしきい値電圧が約1.5Vから約4Vへ上昇している。続いて消去を行った結果、しきい値電圧は再び低下して約1.7Vまで戻している。このグラフからは、誘電膜から電荷を排出させる消去動作にかかる時間が、ドレイン電圧をより高い電圧に設定することで短縮されることが分かる。また、このグラフの2本の曲線から分かるように、ゲート電圧を6.5Vに設定したときには、誘電膜から十分な量の電荷を消去して(即ち、排出して)デバイスのしきい値電圧を約1.9Vまで低下させるのににかかった時間が約100秒であるのに対し、ゲート電圧を6.0Vに設定してしきい値電圧を同じ値まで低下させるためには約1000秒かかっている。

【0127】

(85)

図23は、ゲート電圧を2つの負電圧の値に設定したときの、夫々の消去特性を表したグラフである。この図23のグラフは、本発明に従って構成したメモリ・セルを測定して得たデータに基づいて作成したものである。このメモリ・セルでは、誘電体構造(図15)の最上層の酸化膜22、最下層の酸化膜18、及び窒化膜20の厚さをいずれも100 Åとした。従って、誘電体構造の全体としての厚さは300 Åである。チャンネル幅/長さの比は、 $0.6/0.65 \mu\text{m}$ とした。読出し方式は逆方向読出し方式として消去を行い、消去用ドレイン電圧 V_D は一定の5.5 Vに設定し、消去用ゲート電圧は、-5 Vと-7.5 Vとの2通りに設定した。グラフを見れば、ドレイン電圧を約5 Vに設定し、ゲート電圧を約-5 Vに設定するだけでも、効果的な消去を行うのに十分である。これは、従来のメモリ・セルに対する大きな利点であり、従来のメモリ・セルでは、消去用ゲート電圧の一般的な設定値は-10 V程度であった。このグラフからは更に、消去用ゲート電圧 V_G の設定値を-5 Vから-7.5 Vへ低下させれば、10 Vと比べればなお十分に小さい電圧でありながら、デバイスの消去時間を約20分の1に短縮する効果があることが分かる。

【0128】

逆方向読出し方式の利点

図10のグラフを見れば分かるように、逆方向読出し方式を採用している場合に、チャンネル内電圧 V_X が約2 V (これは、従来のメモリ・デバイスにおいてゲート電圧を3 Vに設定した場合のチャンネル内電圧 V_X に等しい) になるようにするには、ゲート電圧を約4 Vに設定すればよい。また、逆方向読出し方式を採用している場合には、ゲート電圧を3 Vに設定すれば、発生するチャンネル内電圧は約1.2 Vとなる。これは、順方向読出し方式を採用している従来のメモリ・デバイスとの大きな相違であり、順方向読出し方式を採用している従来のメモリ・デバイスでは、ドレインに印加した電圧(2 V)が略々そのまま、電荷捕獲領域の両端間の電圧になる。従って、逆方向読出し方式を採用することによって得られる顕著な利点は、ゲート電圧の設定値が同じであれば、逆方向読出し方式の方が、電荷捕獲領域の真下に位置するチャンネルの部分の両端間に発生する電圧がはるかに小さくなるということにある。これは、電荷捕獲領域の長さが同じであれ

ば、逆方向読出し方式の方が漏れ電流が格段に小さくなることを意味している。更に、逆のいい方をするならば、ゲート誘電体構造の内部に形成する電荷捕獲領域の長さが短くても、漏れ電流を同程度に抑え得るということである。電荷捕獲領域が短くなることで、書込み時間が指数関数的に短縮される。書込み時間が、様々なパラメータ、電圧、及び温度の関数としてどのように変化するかについては、論文「" Hot-Electron Injection Into the Oxide in n-Channel MOS Device, " B.

Eitan and D. Frohman-Bentchkowsky, IEEE Transactions on Electron Devices, March 1981」の中で論じられており、同論文の内容はこの言及を持って本願開示に包含されたものとする。

【0129】

メモリ・デバイスの読出し方式を逆方向読出し方式とすることによって、捕獲電荷が（即ち、書込み領域が、更に換言するならば、局在化した捕獲領域が）、しきい値電圧に及ぼす影響の大きさが増幅されるという効果が得られる。そしてその結果、デバイスの既書込み状態（即ち、ゲート誘電体構造の電荷捕獲領域に電荷が蓄積された状態）と、未書込み状態（即ち、ゲート誘電体構造の電荷捕獲領域に電荷が蓄積されていない状態）との間での、しきい値電圧の差分を同じ大きさにするために必要な捕獲電荷量が格段に少量で済むようになる。書込み時間が同じ長さであれば（書込み時間が同じであれば、図5Aや図5Bに示した窒化膜内の電荷捕獲領域の長さが同じになる）、逆方向読出し方式によってデバイス10の読出しを実行するときの漏れ電流 I_L の大きさが、従来のメモリ・セルと比べて、約2桁小さくなる。既述の如く、逆方向読出し方式を採用することの大きな利点の1つは、書込み時間を短縮し得るということにあり、これは、逆方向読出し方式では、順方向読出し方式の場合と比べて、漏れ電流が格段に小さくなるため、より少ない捕獲電荷量で、漏れ電流の大きさを同程度にまで抑えることができるからである。従って、逆方向読出し方式を採用した場合には、電荷捕獲領域の長さを従来のメモリ・セルの電荷捕獲領域のように長くする必要がなく、電荷捕獲領域が短くなることで書込み時間が指数関数的に短縮するのである。

(87)

【0130】

書込み方向と逆方向に読出しを行うこの逆方向読出し方式の重要な利点の1つに、電荷捕獲領域の近傍における横方向電界の作用が非常に小さくなるということがある。加えて、ゲート電圧を低い電圧値に設定することで、チャンネル内電圧を更に低く抑えることができる。また実際に、そのような望ましいチャンネル内電圧を達成できるような値に、ゲート電圧を設定することが可能であり、これについては図10を参照して既に説明したとおりである。

【0131】

図24Aには、従来のメモリ・セル41において書込みによって形成せねばならない大きさの電荷捕獲領域を示し、図24Bには、本発明のメモリ・セル10において書込みによって形成せねばならない大きさの電荷捕獲領域を示した。これらの図から分かるように、デバイス10に形成される電荷捕獲領域68は、従来のデバイス41に形成される電荷捕獲領域66より格段に小さい(短い)。先に説明したように、逆方向読出し方式を採用することによって、形成する電荷捕獲領域を短くすることが可能となったのである。また、その結果、デバイスの書込み時間が指数関数的に短縮しており、それによって書込み効率が格段に向上している。

【0132】

書込みによって形成する電荷捕獲領域が小さな、短いもので済むということによって多くの利点を得られる。主要な利点の1つは、既書込み状態と未書込み状態との間での、しきい値電圧の差分 Δ を同じ大きさにしたまま、書込み時間を短縮できることである。この場合、書込み時間の短縮は、電荷捕獲媒体として誘電体構造を使用したフラッシュEEPROMのメモリ・セルの非対称的特性を利用したものである。また、もう1つの主要な利点として、メモリ・セルの消去メカニズムが大いに強化されるということがある。

【0133】

電荷捕獲領域が狭くなる(短くなる)ほど消去メカニズムは強化される。そして、書込みを順方向に行い、読出しを逆方向に行うことによって、電荷捕獲領域の長さを短縮し、ドレインに近接した狭い領域に限局することができる。これに

(88)

よって、メモリ・セルの消去が格段に高速で行えるようになり、消去効率が格段に向上する。

【0134】

逆方向読出し方式を採用することにより得られる更なる利点として、電荷捕獲領域を狭くし得るため、消去用ゲート電圧の消去効果が向上するということがあるが、ただしこれは、読出し用ゲート電圧を比較的低い電圧に設定する場合である。即ち、電荷捕獲領域を狭くすることができるのは、逆方向読出し方式を採用し、しかも、読出し用ゲート電圧を低い電圧値に設定する場合である。

【0135】

更に、電荷捕獲膜として使用している窒化シリコン膜の厚さが、開示されている従来の窒化シリコン膜と比べて薄いということも、ドレインの近傍に局在する電荷捕獲領域の長さを、従来の電荷捕獲領域と比べて短くすることに役立っている。これによってメモリ・セルの電荷保持性能が向上している。更に、この窒化シリコン膜を挟むように形成されている、最上層の酸化膜及び最下層の酸化膜が薄いということも、垂直方向の電界を維持する上で役立っている。

【0136】

更に、メモリ・セルの読出し方式を逆方向読出し方式とすることで、過剰書込みに対する許容度も向上する。順方向読出し方式を採用している場合には、メモリ・セルのしきい値電圧の値が書込み時間のばらつきによって大きな影響を受けるのに対して、逆方向読出し方式を採用している場合には、しきい値電圧の値が書込み時間によって影響を受けにくくなる。更に、順方向読出し方式を採用している場合には、書込みに際して過剰書込み状態が発生すると、それによってデバイスの消去が不可能になるおそれがある。

【0137】

チャンネル内電圧 V_{χ} は、ゲート電圧及びチャンネル内不純物濃度の関数である。また、このチャンネル内電圧 V_{χ} は、チャンネルの上方に形成される電荷捕獲領域の端部の真下の位置 (図 5 B) におけるチャンネル内の電圧である。ゲート電圧を上昇させれば、チャンネル内電圧も上昇する。デバイスが N チャンネル形である場合には、反転状態とするためのチャンネル領域の不純物は、多くの場合ホウ素である。

(89)

順方向読出し方式では、不純物であるホウ素の濃度が通常の濃度範囲内にある限り、チャンネル内電圧 V_X は一般的にその不純物濃度に左右されないが、逆方向読出し方式では、チャンネル内電圧 V_X が不純物濃度に影響され、不純物濃度が上昇するほどチャンネル内電圧 V_X は低下する。実際に、逆方向読出し方式では、電荷捕獲領域の端部の真下の位置におけるチャンネル内電圧 V_X は、次の[数3]の式で表される。

【0138】

【数3】

$$V_X = V_G \cdot (V_T + \Delta V_T)$$

【0139】

この[数3]の式において、 V_T は、基板のバイアス電圧を0Vとしたときのデバイスのしきい値電圧であり、 ΔV_T は、チャンネルがちょうど反転状態となったときに、0Vではないチャンネル内電圧 V_X によって生じている基板のバンド・バイアスのために発生している、しきい値電圧の上昇分である。

【0140】

図5B及び図24Bに示したONO三層構造において、その構造中の第2の酸化膜22の厚さを様々な変えて試してみた。以下の[表1]は、本発明のメモリ・セルの3つの実施例に採用した3通りのONO三層構造における、各々の膜の厚さの組合せを示した表である。尚、この[表1]において、厚さの単位はÅである。

【0141】

【表1】

膜の表示	第1実施例	第2実施例	第3実施例
最上層酸化膜 (O膜22)	150	100	70
窒化膜 (N膜20)	50	50	50
最下層酸化膜 (O膜18)	70	70	70
合計厚さ	270	220	190

【0142】

(90)

電荷は窒化膜20に蓄積して保持される。順方向読出し方式に替えて、逆方向読出し方式を採用すれば、既書込み状態と未書込み状態との間でのしきい値電圧の差分を必要な大きさにするために窒化膜20に保持させなければならない電荷量は、一般的に2分の1またはそれ以下に低減される。また、窒化膜20を薄くして最上層の酸化膜22を厚くすることによっても、しきい値電圧の差分を必要な大きさにするために窒化膜22に蓄積させなければならない電荷量は低減される。

【0143】

また、最上層の酸化膜22を厚くすると、50 Åの厚さの窒化膜20に蓄積した電荷によって発生する横方向の電界が僅かに弱まることが判明した。更に、最下層の酸化膜18を薄くすると、窒化膜20に蓄積した電荷の消去が容易になることも観察された。最下層の酸化膜18の厚さを70 Åにしたときには、その厚さを100 Åにした場合と比べて、窒化膜20に蓄積した電荷をより容易に消去することができたのである。

【0144】

従って、本発明の目的を達成するためには、窒化膜の厚さは薄いほどよい、という結論が得られた。本発明を実施する上で、窒化膜の厚さは20 Åにまで薄くし得ると思われる。窒化膜を薄くすれば、窒化膜のある部分に同じ量の電荷が蓄積した場合に、窒化膜が厚いときよりもその電荷によって発生する横方向の電界は弱くなるため、蓄積電荷が、みずからが発生する内部電界によって横方向に分散して広がる傾向も弱まる。

【0145】

パラメータの最適化

最適化に関しては、書込み時間を短縮し、広いマージンを確保するために調節すべきパラメータが3つある。それらのうちの第1のパラメータは、チャンネル長さである。逆方向読出し方式を採用している場合には、書込み時間が同じであればチャンネル長さを増すほどドレインと捕獲電荷との間の距離が長くなる（ここでいうドレインとは、読出しに際してドレインとして機能している領域のことであり、ソースと呼ばれる領域とドレインと呼ばれる領域とは場合に応じて入替わる

ものである)。これによって横方向の電界を更に弱めることができる。

【0146】

第2のパラメータは、先に説明したようにゲート電圧である。ゲート電圧は、電荷捕獲領域の真下に位置するチャンネルの部分の両端間の電圧降下ができるだけ小さくなるように設定すべきである。これによって、電荷捕獲領域の真下に位置するチャンネルの部分に作用する横方向電界を更に小さくすることができる。ゲート電圧を変化させることで、チャンネル内電圧をその適正範囲内で「最適調整」すべきである。これによって、電荷捕獲領域の真下に位置するチャンネルの部分における電圧降下の大きさを制御することができる。尚、ゲート電圧の設定値が低すぎると、論理状態「1」の読出しに、即ち未書込み状態の読出しに問題が生じることがある。論理状態「1」が問題なく読出せるようにするためには、ゲート電圧を、センスアンプが検出可能な十分な読出し電流を発生させるような反転状態が得られるだけの、十分に高い電圧に設定しなければならない。このことから、しきい値電圧より約1V高い電圧が、ゲート電圧の適正範囲の下限値となる。このゲート電圧の下限値は、メモリ・セルの論理状態「1」に対応したチャンネル電流を検出するために必要な最大時間によって決まるものである。例えば、アクセス・タイムを特に短くしたい場合には、読出しの際の許容最長アクセス・タイムを10～30ナノ秒の範囲内に定めるのが普通であり、大容量メモリ・デバイスでは、許容最長アクセス・タイムを1マイクロ秒という長い時間に定めても構わないことがある。許容最長アクセス・タイムをこれらの値とするための実際のゲート電圧は、そのデバイスの構造、誘電体構造の厚さ、ビット線の静電容量、それにチャンネルのドーパ濃度等の、そのデバイスの様々なパラメータによって決定されるものである。一方、ゲート電圧の適正範囲の上限値は、電荷捕獲領域の端部の真下の位置におけるチャンネル内電圧を、逆方向読出し方式で読出しを行う際にソース端子に印加する電圧より僅かに低くするようなゲート電圧である。ゲート電圧が高すぎると、チャンネルを反転状態にしてしまい、本発明の利点が失われることになる。従って、電荷捕獲領域の端部の真下の位置におけるチャンネル内電圧をそれほどの高い電圧にしてしまうようなゲート電圧を印加することは、好ましくない。なぜならば、電荷捕獲領域の真下に位置するチャンネルの部分の両端間

の電位差が小さくなることによって漏れ電流が減少し、また書込み時間が短縮されるという利点が、そのような高いゲート電圧を印加することによって失われてしまうからである。本発明の好適実施例においては、読出し用ゲート電圧の設定値を約3Vにしており、このゲート電圧の設定値は、書込み時間と漏れ電流との最適な兼ね合いをもたらすものである。

【0147】

最適化のための第3の方法は、既に説明もし、また従来周知のものであるが、ゲート下方のチャネル領域のホウ素ドーピング濃度を変化させるというものである。このドーピング濃度を高くすると、しきい値電圧 V_T が上昇し、発生するチャネル内電圧が低下する。これは、形成される空乏領域の幅が狭まることによるものである。従って、このドーピング濃度を高めることによって、電荷捕獲領域の真下に位置するチャネルの部分の両端間に発生する電圧を増大させることなく、印加するゲート電圧を高めることができる。

【0148】

更に、このように N_A ドーピング濃度を高めることによって、電荷捕獲領域の長さを変えることなく、デバイスのパンチ・スルー特性を向上させることができる。即ち、チャネル領域に注入するホウ素の注入量を変化させることで、ゲート下方の空乏領域の幅を変化させることができる。このドーピング濃度が高まると、印加するゲート電圧が同じ場合に、空乏領域の幅が狭まるのである。ここで空乏領域の幅が狭まるのは、基板内の固定電荷の増大によるものである。従って、ドーピング濃度を変化させることで、ゲート下方のピンチオフ領域の長さを抑えることができる。更には、このドーピング濃度を変化させることで、デバイスの初期しきい値電圧を増減することも可能である。

【0149】

次に、本発明のメモリ・セルで行われる2ビットの書込み動作及び読出し動作に特に関係したパラメータの最適化方法について説明する。書込み動作の最適化方法としては、最小実効チャネル長さ L_{eff} を長くすることで、2個のビットの空間的な分離状態を改善するという方法がある。また、チャネルの不純物注入濃度を低下させることによって、順方向書込みと逆方向書込みとの間でのしきい

値電圧の差分 Δ を増大させることができる。これとは逆に、チャネルの不純物注入濃度を高めるならば、それによって、第1ビットが第2ビットの書込みに及ぼす影響を軽減させることができる。従って、チャネルの不純物注入濃度は、順方向書込みと逆方向書込みとの間でのしきい値電圧の差分 Δ の大きさと、書込み速度との間の兼ね合いを斟酌して決定すべきものである。

【0150】

読出し動作の最適化方法としては、ゲート電圧を低い電圧に設定することによって、読出しの際のパンチ・スルーを発生し易くするという方法がある。既述の如く、一方のビットの書込みや読出しを行う際には、他方のビットにおいてパンチ・スルーが発生しなければならない。チャネルの不純物注入濃度を低下させることも、パンチ・スルーを発生し易くするのに役立つ、また、読出し用ドレイン電圧を高い電圧に設定することによっても、パンチ・スルーが発生し易くなる。以上の3つの最適化方法は、順方向読出し動作にも関係するものであり、一方のビットにとっての順方向読出し動作は、他方のビットにとっての逆方向読出し動作と同等である。

【0151】

更に、ゲート電圧を低い電圧に設定することによって、電荷捕獲領域へ注入せねばならない電子の個数を低減することができる。これによって、消去の実行後に捕獲されたまま残る残留電荷を減じることができることから、消去効率を向上させることができる。消去の実行後に電荷捕獲領域に残留電荷が残るようであると、書換え可能回数が低下してしまう。

【0152】

以上に本発明を、幾つかの実施例に則して説明してきたが、本発明は様々な改変ないし変更を加えて実施することも可能であり、また、本発明は以上に説明した以外のその他の多くの用途にも利用し得るものである。

【図面の簡単な説明】

【図1】 ゲート誘電体構造として酸化膜-窒化膜-酸化膜(ONO)三層構造を用いた従来のシングル・ビット・フラッシュEEPROMセルの断面図である。

【図2】 ゲート誘電体構造としてONO三層構造を用いた本発明の実施例にかかる2ビット・フラッシュEEPROMセルの断面図である。

【図3】 ゲート誘電体構造として内部に多結晶シリコン細粒体を分散させた高シリコン組成比の酸化シリコン膜を用いた本発明の実施例にかかる2ビット・フラッシュEEPROMセルの断面図である。

【図4】 本発明にかかる所定メモリ・セルにおける、書込み時間の関数としてのしきい値電圧を、順方向読出し方式を採用した場合と逆方向読出し方式を採用した場合とを対比させて示したグラフである。

【図5】 図5Aは、従来のフラッシュEEPROMセルの断面図であり、ゲート下方の電荷捕獲領域を示した図である。図5Bは、本発明の実施例にかかるフラッシュEEPROMセルの断面図であり、ゲート下方の電荷捕獲領域を示した図である。

【図6】 本発明にかかるフラッシュEEPROMセルに書込みを行った後にそのメモリ・セルからの読出しを行う際に、その読出しを順方向読出し方式で行う場合と逆方向読出し方式で行う場合とでしきい値電圧がどのように相違するかを、ドレイン電圧の関数として表したグラフである。

【図7】 本発明にかかるフラッシュEEPROMセルに書込みを行った後にそのメモリ・セルからの読出しを行う際に、その読出しを順方向読出し方式で行う場合と逆方向読出し方式で行う場合とでドレイン電流がどのように相違するかを、ドレイン電圧の関数として表したグラフである。

【図8】 本発明にかかるフラッシュEEPROMセルのしきい値電圧を、順方向読出し方式の場合と逆方向読出し方式の場合とについて、書込み時間の関数として表したグラフである。

【図9】 逆方向読出しを行う際に、電荷捕獲領域の真下に位置するチャネル部分を通して流れる漏れ電流を、そのチャネル部分の両端間に作用している電圧Vの関数として表したグラフである。

【図10】 逆方向読出し方式を採用する場合に、電荷捕獲領域の端部の真下の位置におけるチャネル内電圧を所与の電圧に保持するために必要なゲート電圧を表したグラフである。

【図11】 順方向読出し方式を採用する場合と逆方向読出し方式を採用する場合との間でのドレイン電流の差に対して、ゲート電圧がどのように影響するかを表したグラフである。

【図12】 順方向読出し方式を採用する場合と逆方向読出し方式を採用する場合との間でのしきい値電圧の差に対する、ゲート電圧の影響（チャネルのスレショルド電流 I_{TH} で測定した）を表したグラフである。

【図13】 一方のビットに対する書込みが、未書込み状態にある他方のビットにどのような影響を及ぼすかを表したグラフである。

【図14】 一方のビットに対する書込みが、既書込み状態にある他方のビットにどのような影響を及ぼすかを表したグラフである。

【図15】 本発明の好適実施例にかかる2ビットEEPROMセルの断面図であり、ゲートの下方の、右側ビットに対応した電荷捕獲領域と左側ビットに対応した電荷捕獲領域とを示した図である。

【図16】 既書込み状態ビットにおけるリード・スルーの発生に対して、低すぎるドレイン電圧がどのように影響するかを表したグラフである。

【図17】 順方向読出し方式を採用している場合と逆方向読出し方式を採用している場合の夫々について、書込みの仕方が消去時間の長さによりどのように影響するかを表したグラフである。

【図18】 本発明の2ビットEEPROMセルの個々のビットの消去特性を表したグラフである。

【図19】 本発明の2ビットEEPROMセルの書込み特性及び消去特性に対して、書換え繰返し回数がどのように影響するかを表したグラフである。

【図20】 順方向読出し方式を採用している場合と逆方向読出し方式を採用している場合とで、過剰書込み状態が消去性能によりどのように影響するかを示したグラフである。

【図21】 窒化膜の上面を覆う絶縁膜を、酸化処理を利用して形成した場合とTEOSを用いて形成した場合の、夫々の書込み特性及び消去特性を表したグラフである。

【図22】 ゲートを接地電位にして消去を行う際の、2つのドレイン電圧

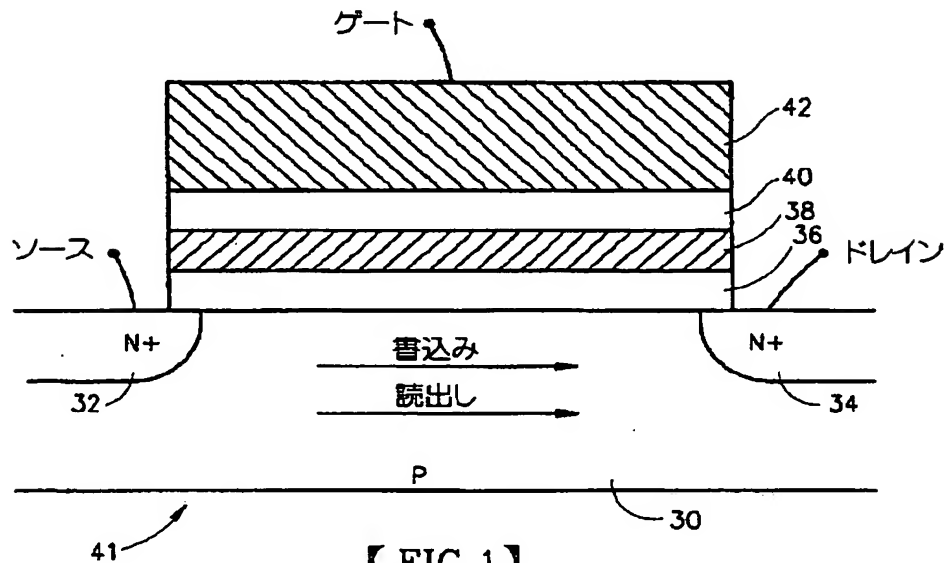
(96)

の値に対応した夫々の消去特性を表したグラフである。

【図 2 3】 2つのゲート電圧の値に対応した夫々の消去特性を表したグラフである。

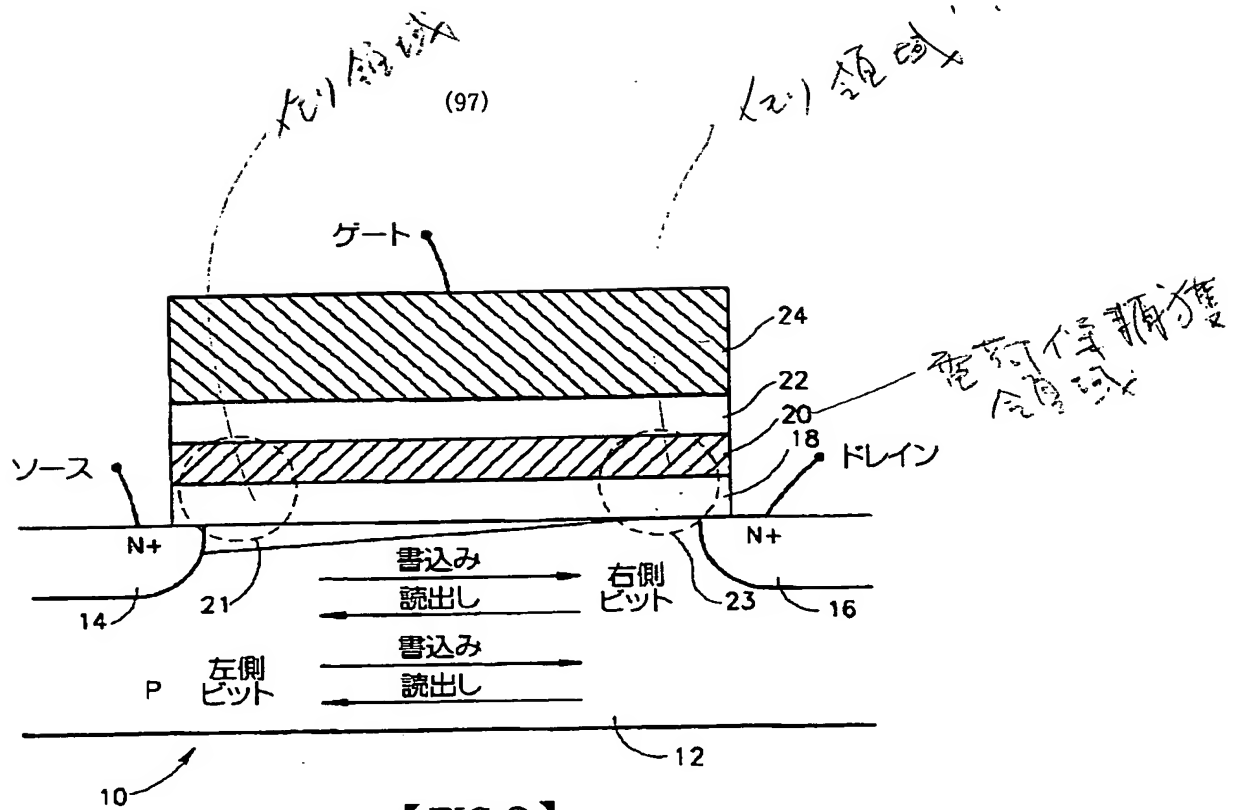
【図 2 4】 図 2 4 Aは、従来のフラッシュEEPROMセルの断面図であり、ある時間に亘って書込みを行った後のゲートの下方の電荷捕獲領域を示しており、図 2 4 Bは、本発明の実施例にかかるフラッシュEEPROMセルの断面図であり、図 2 4 Aに示したセルと同じしきい値電圧を達成することのできる時間に亘って書込みを行った後のゲートの下方の電荷捕獲領域を示したものである。

【図 1】

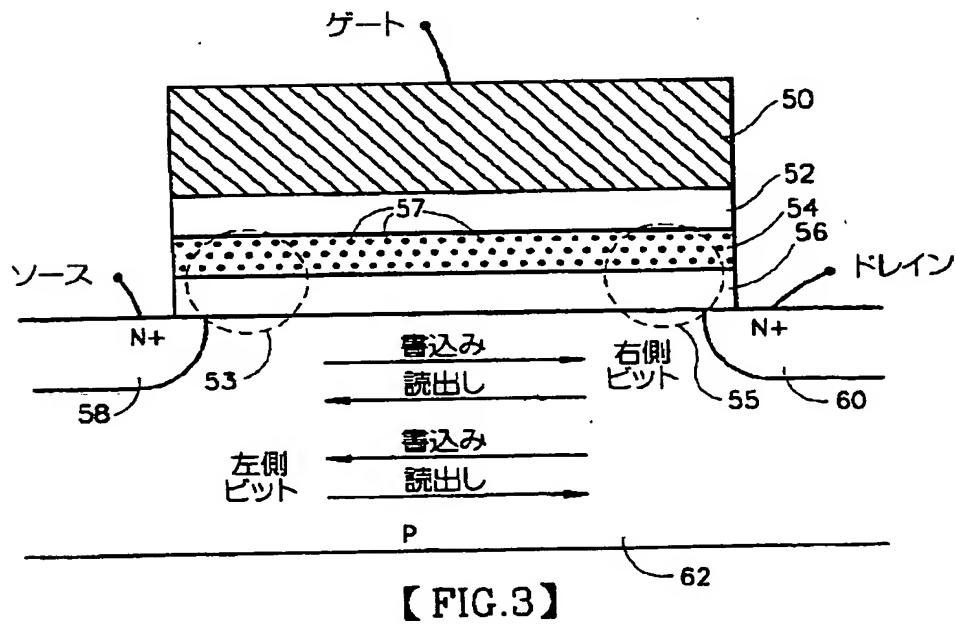


【 FIG. 1 】
従来例

【圖 2】

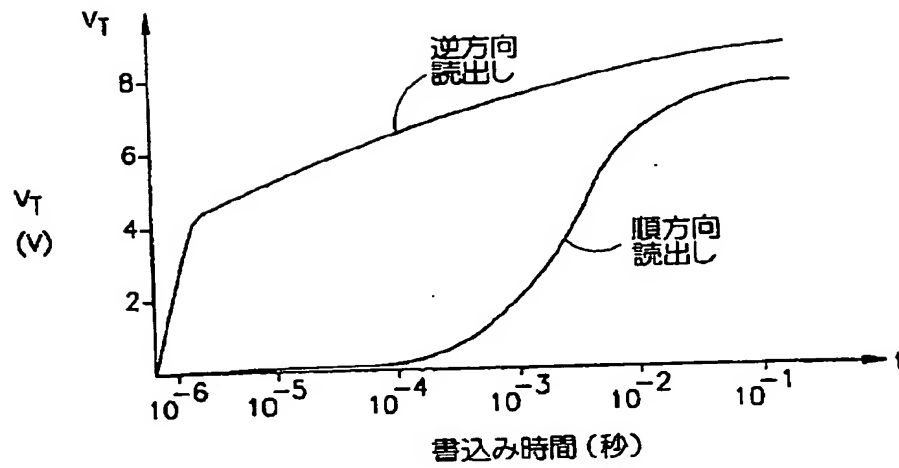


【図 3】



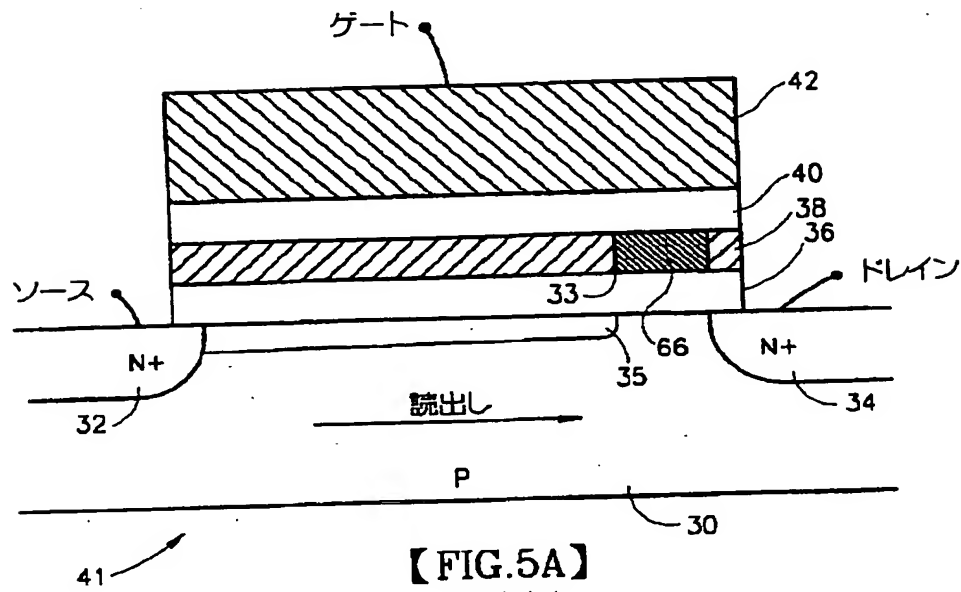
(98)

【図4】



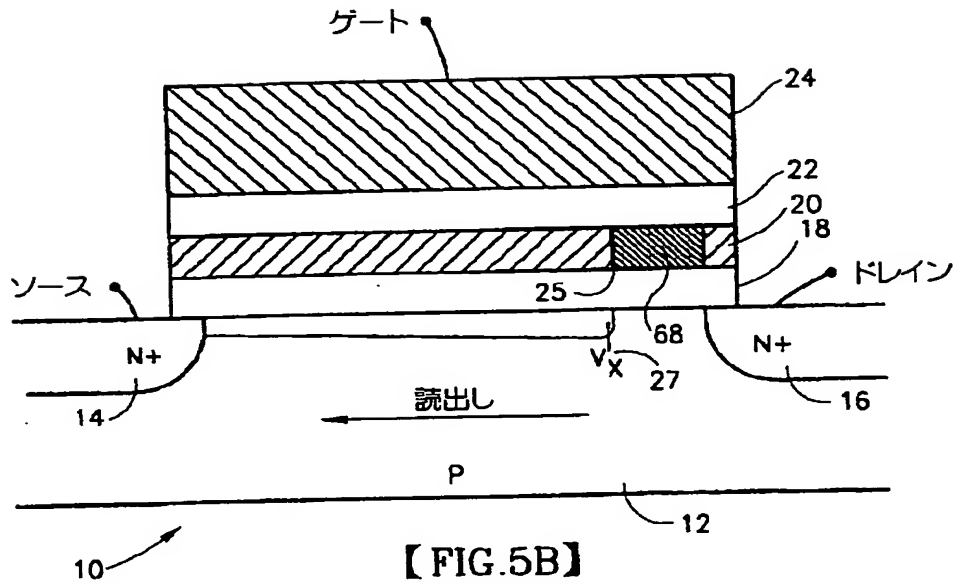
【FIG.4】

【図5A】

【FIG.5A】
従来例

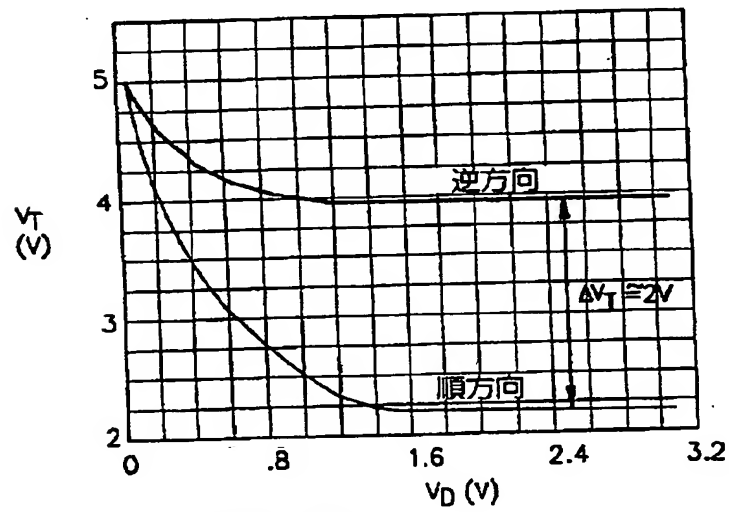
(99)

【図 5 B】



【 FIG.5B】

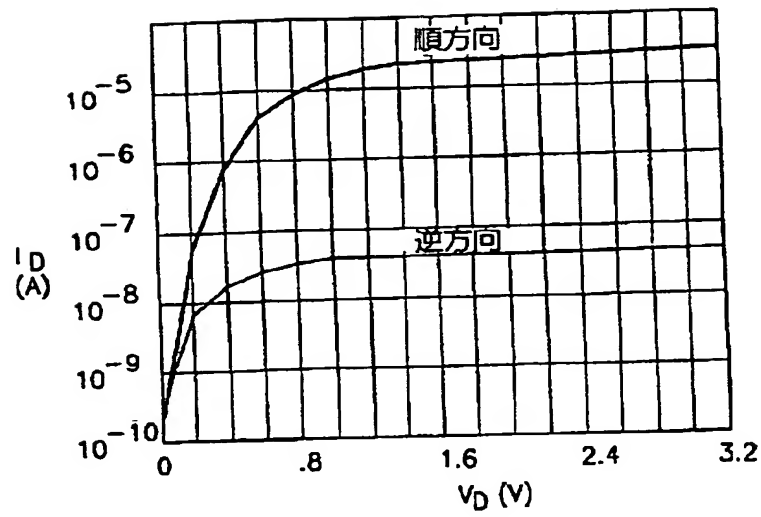
【図 6】



【 FIG.6】

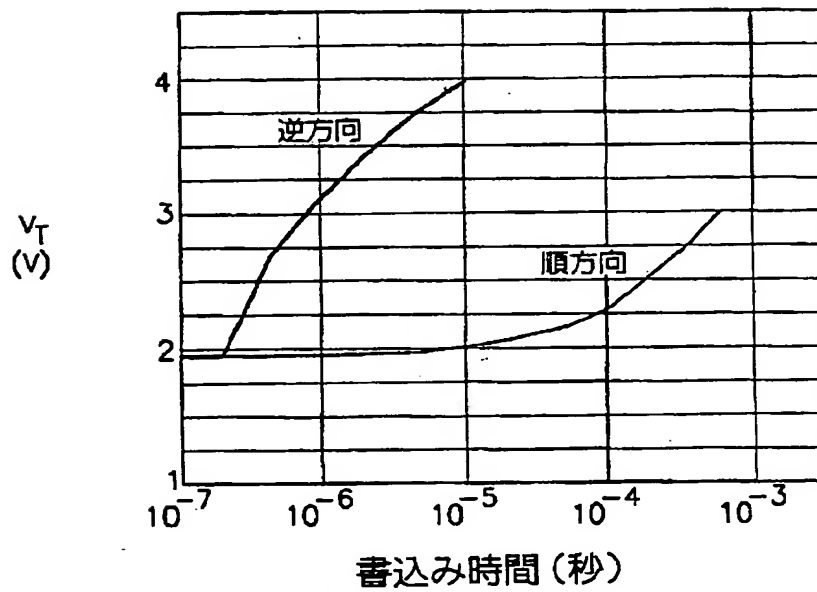
(100)

【図 7】



【FIG.7】

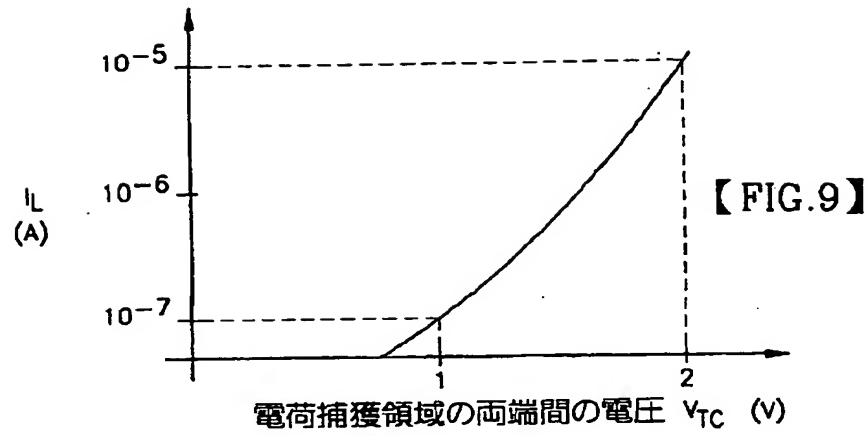
【図 8】



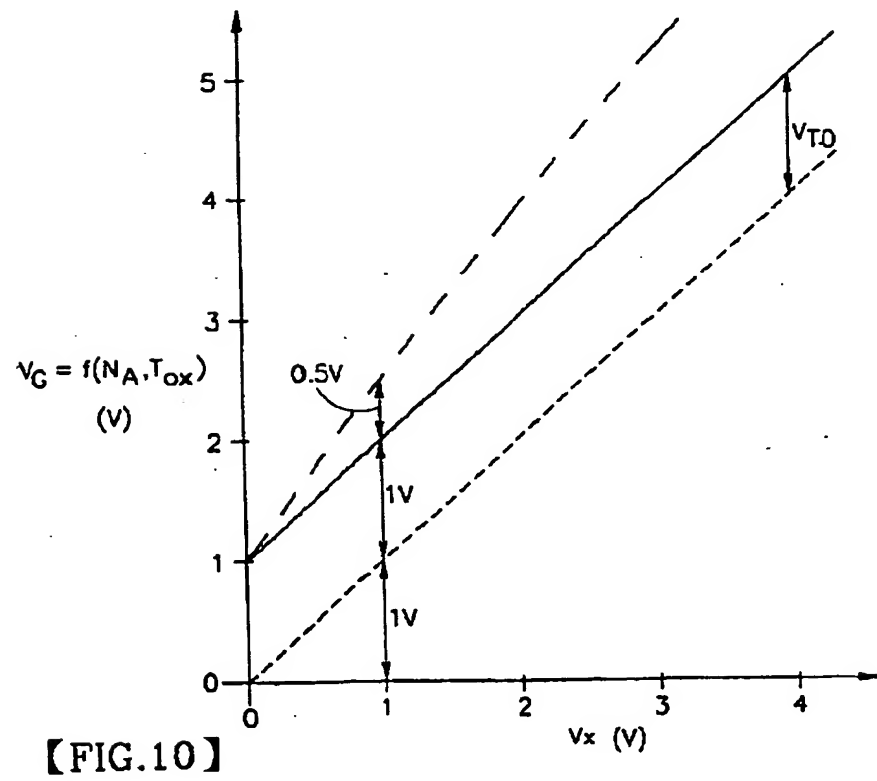
【FIG.8】

(101)

【図 9】

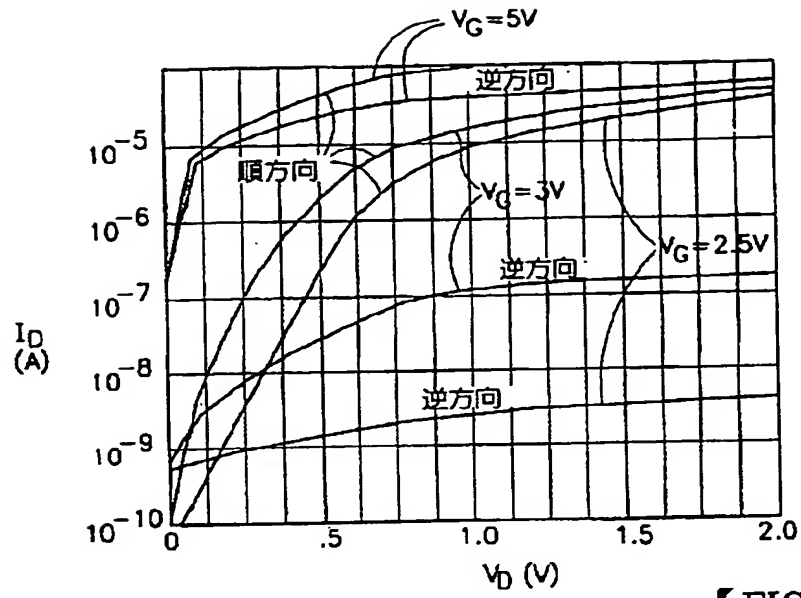


【図 10】



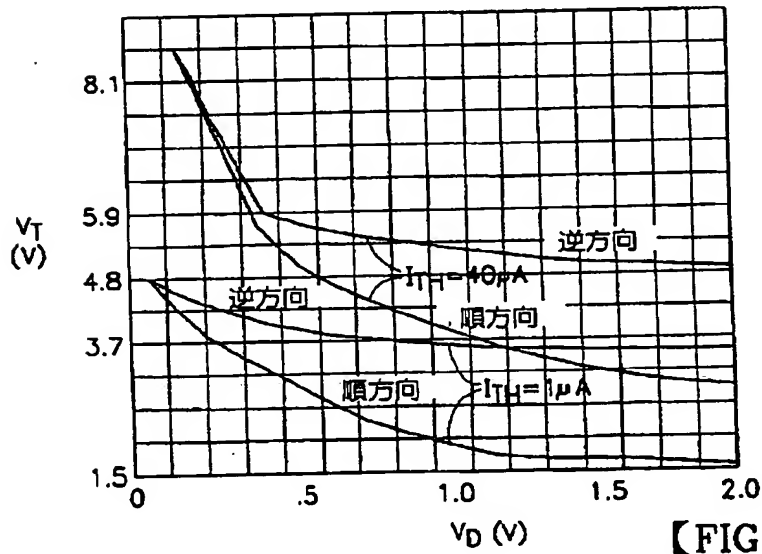
(102)

【图 11】



【FIG.11】

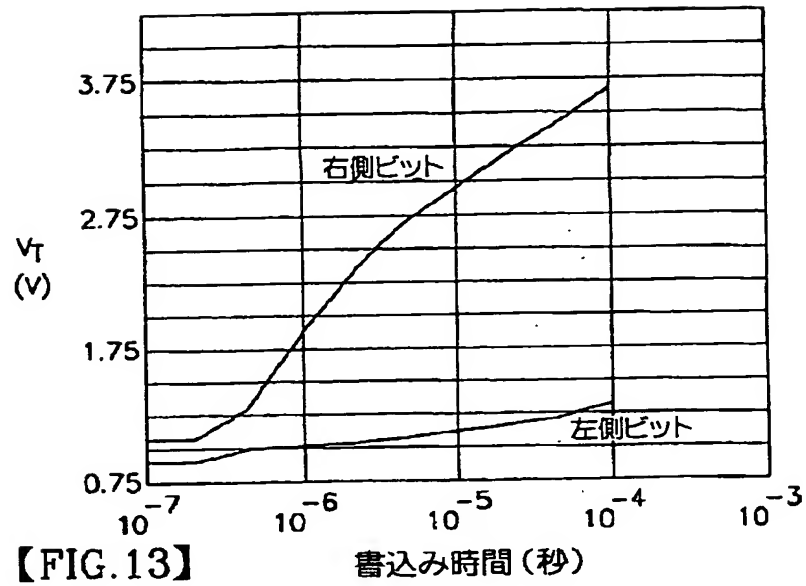
【图 12】



【FIG.12】

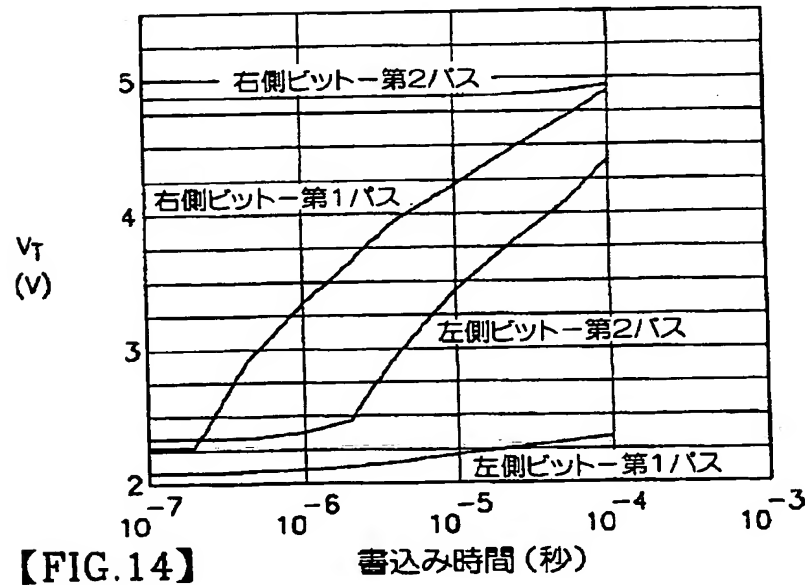
(103)

【図 13】



【FIG.13】

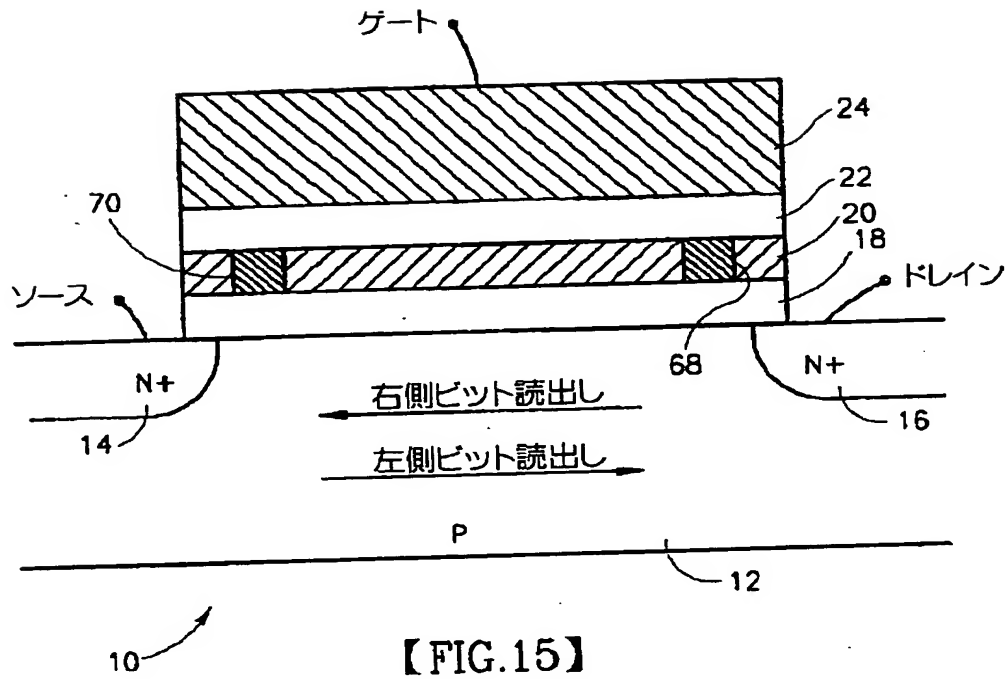
【図 14】



【FIG.14】

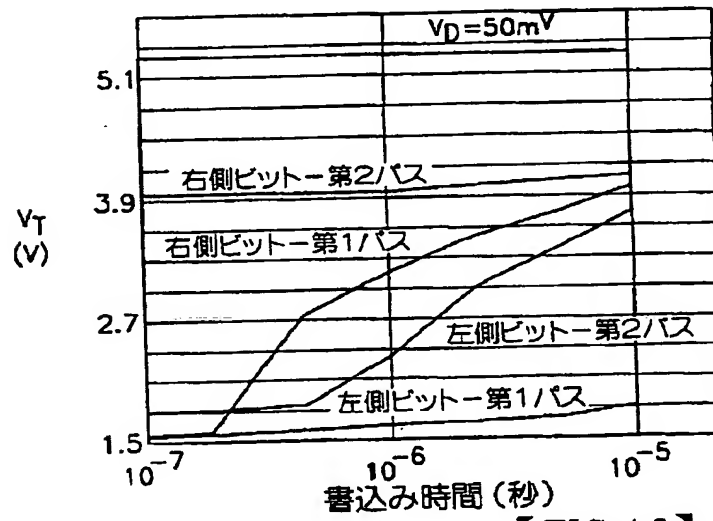
(104)

【図15】



【FIG.15】

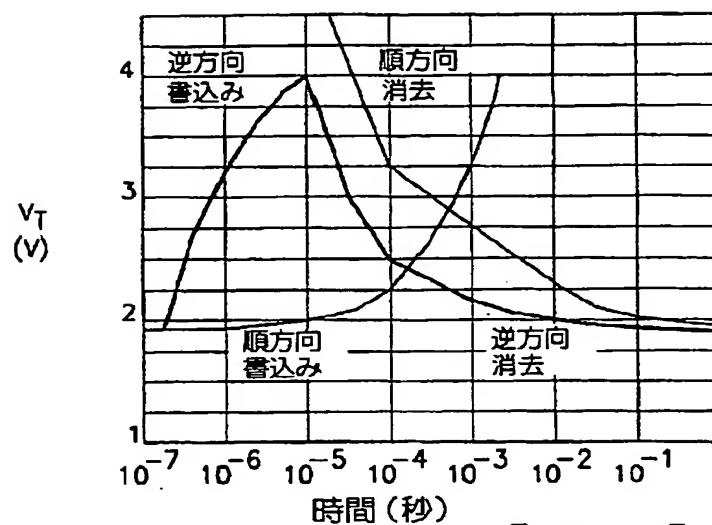
【図16】



【FIG.16】

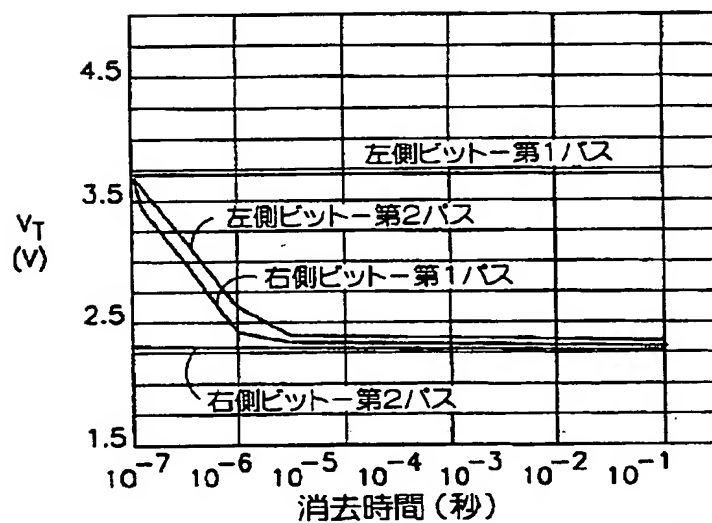
(105)

【図 17】



【 FIG.17】

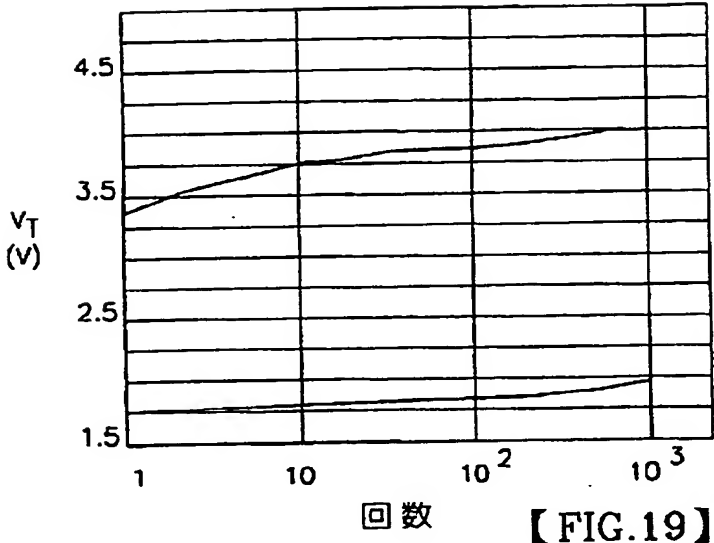
【図 18】



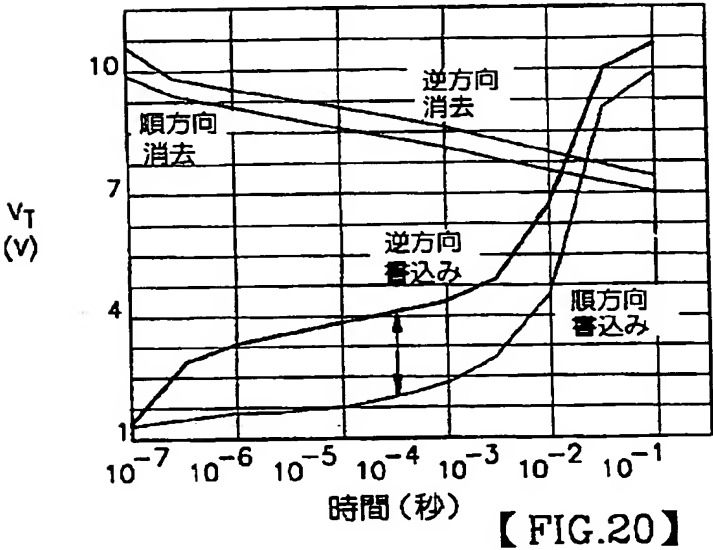
【 FIG.18】

(106)

【図19】

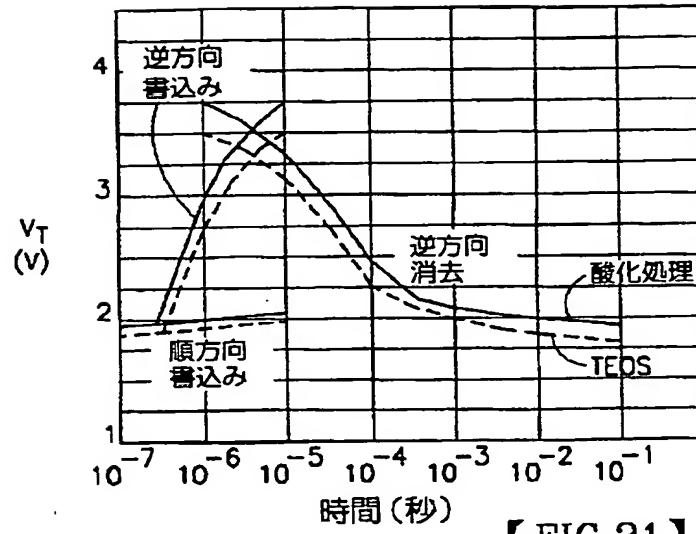


【図20】



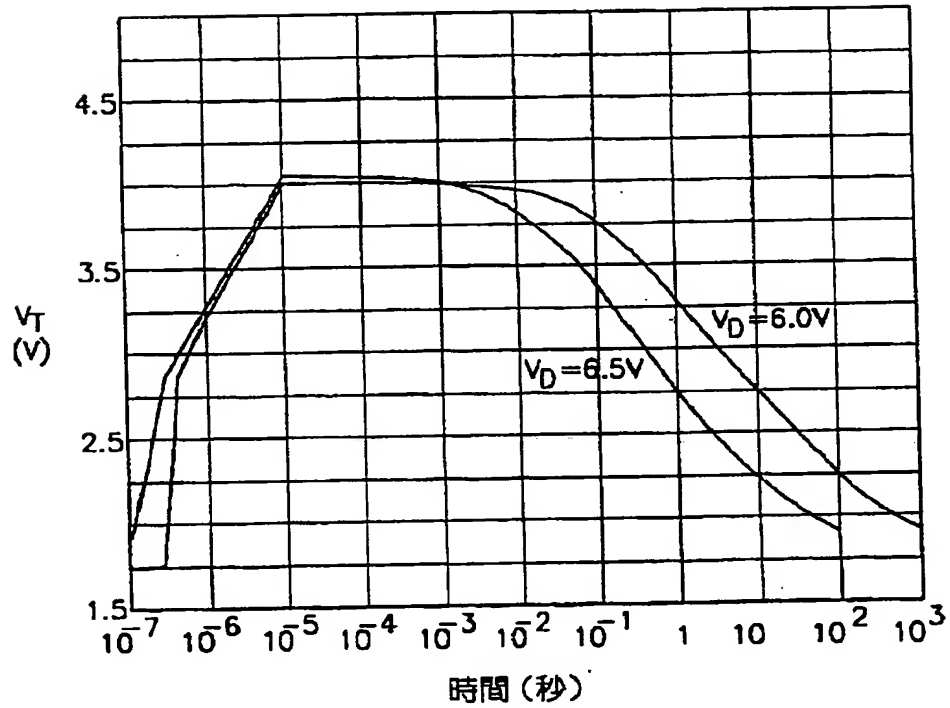
(107)

【図21】



【FIG.21】

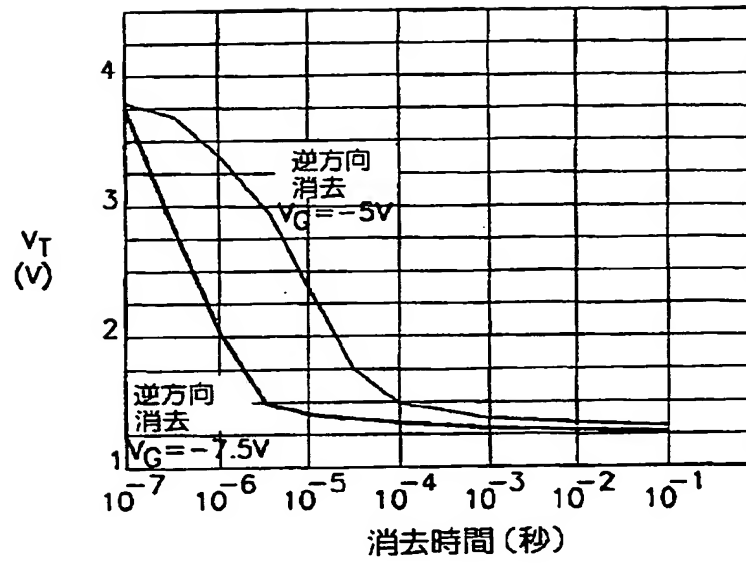
【図22】



【FIG.22】

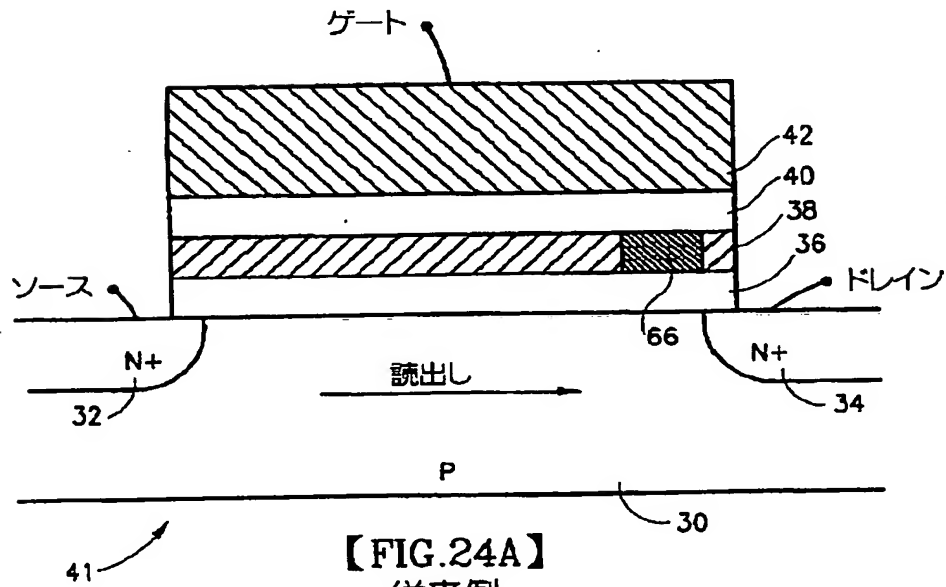
(108)

【図 2 3】



【FIG.23】

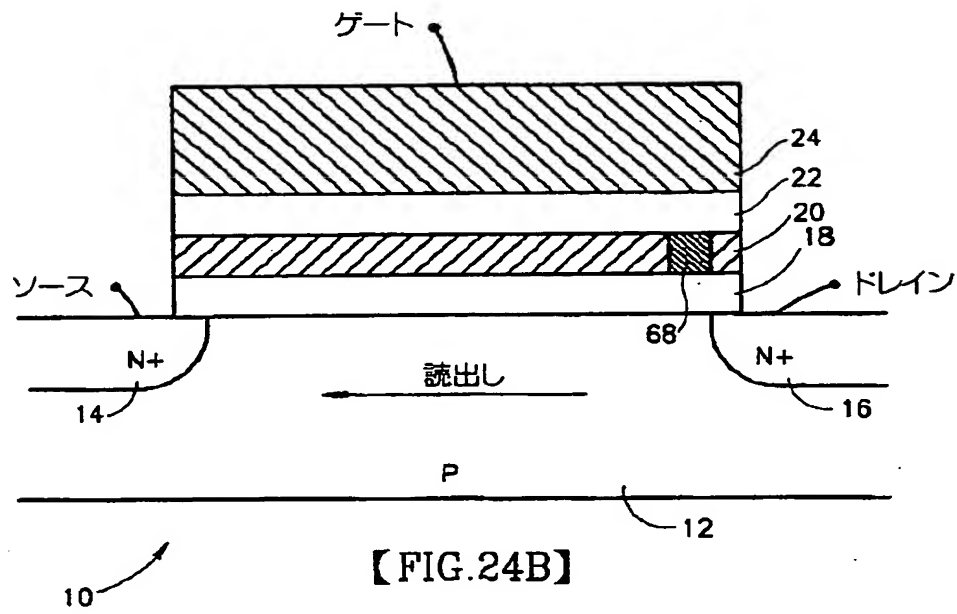
【図 2 4 A】



【FIG.24A】
従来例

(109)

【図24B】



(110)

【手続補正書】

【提出日】平成12年10月31日(2000.10.31)

【手続補正1】

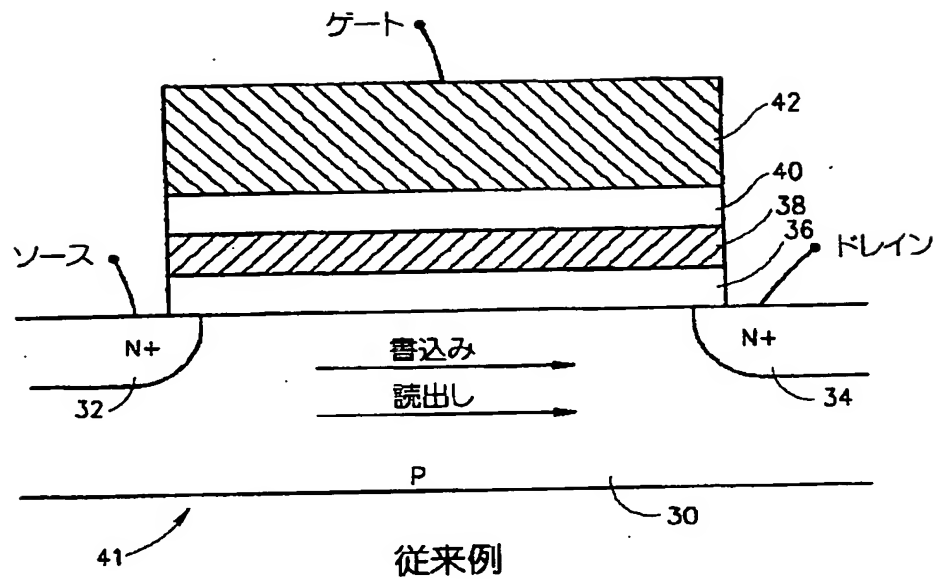
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

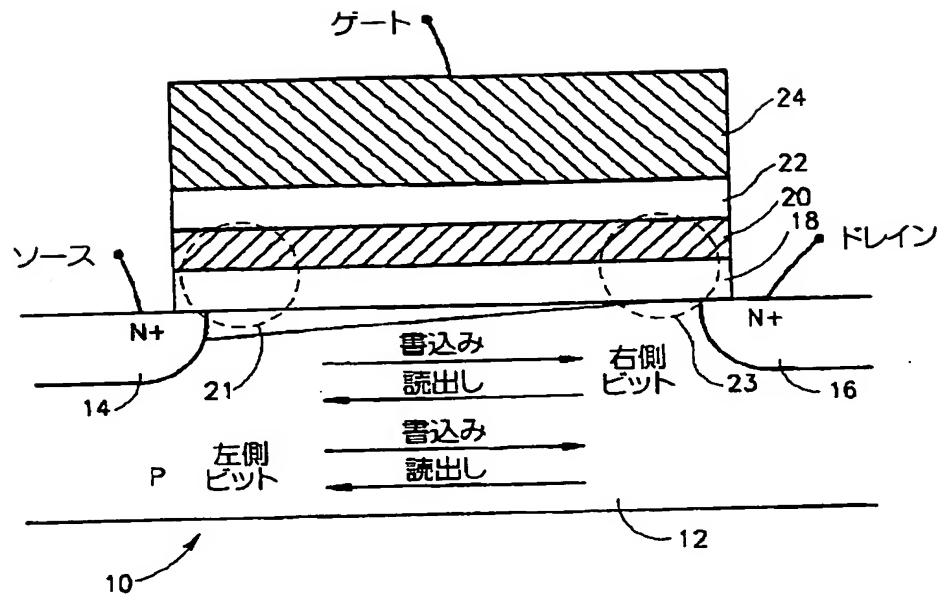
【補正内容】

【図1】

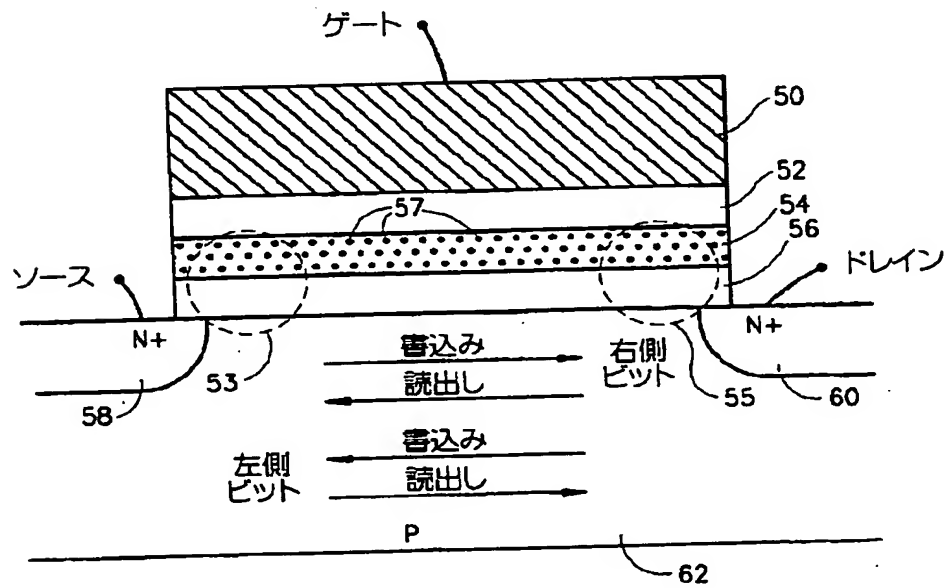


(111)

【図 2】

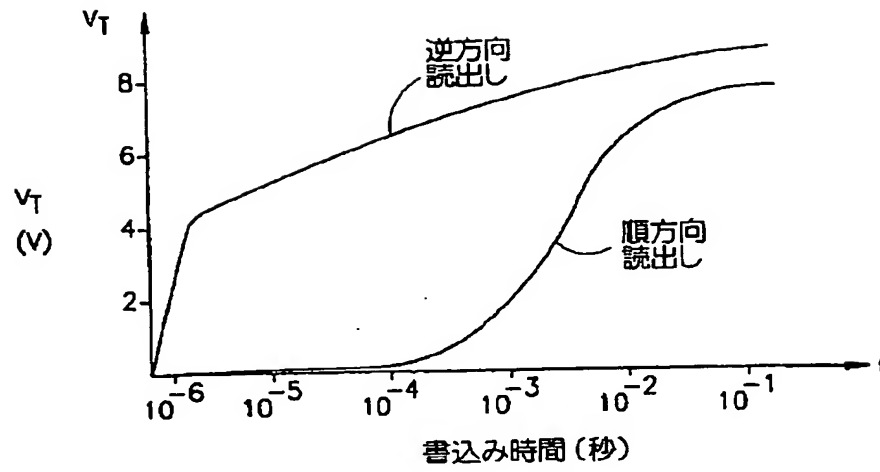


【図 3】



(112)

【図 4】



【図 5】

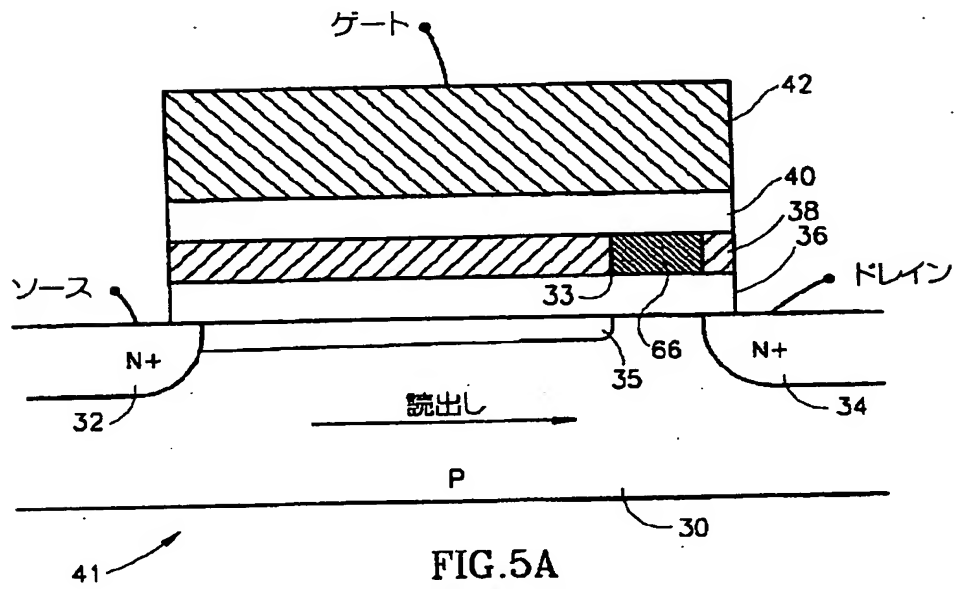
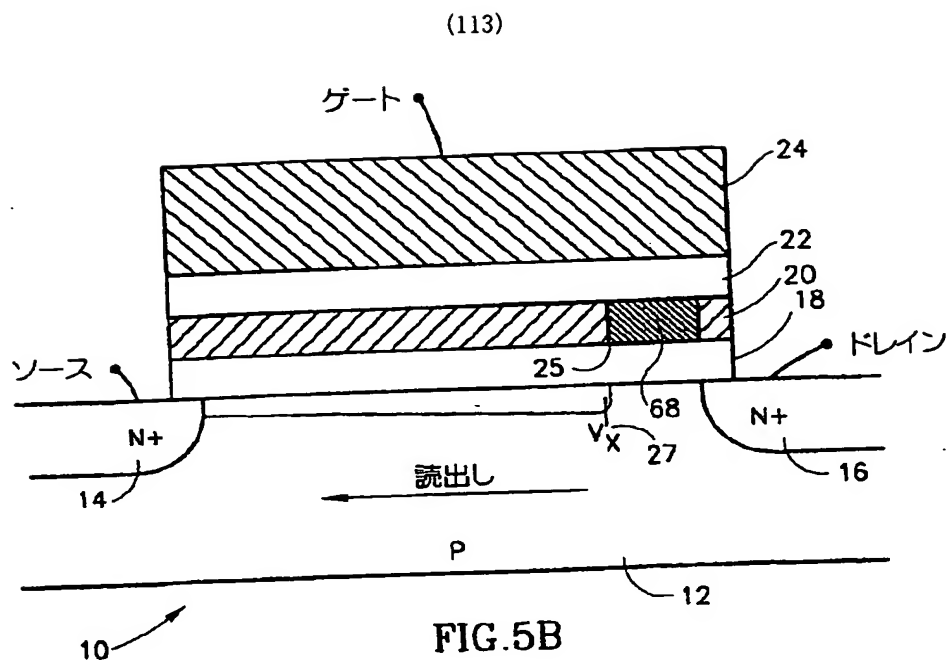
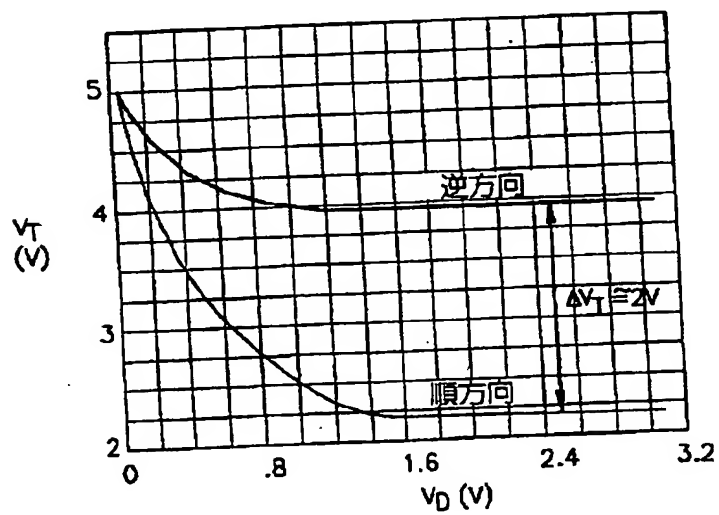


FIG.5A
従来例

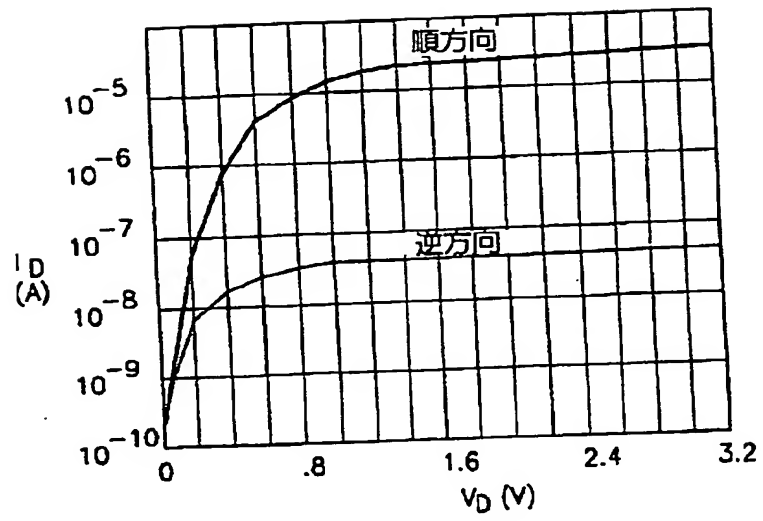


【図6】

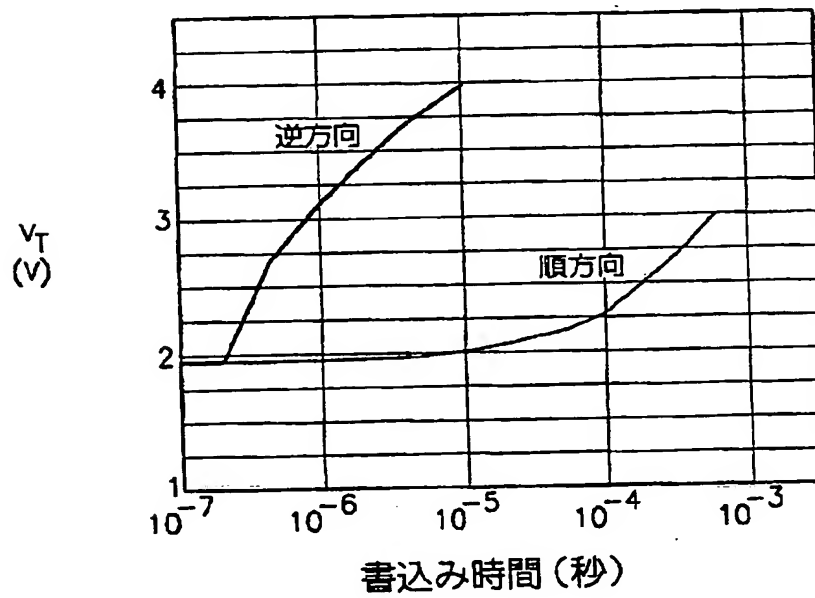


(114)

【図 7】

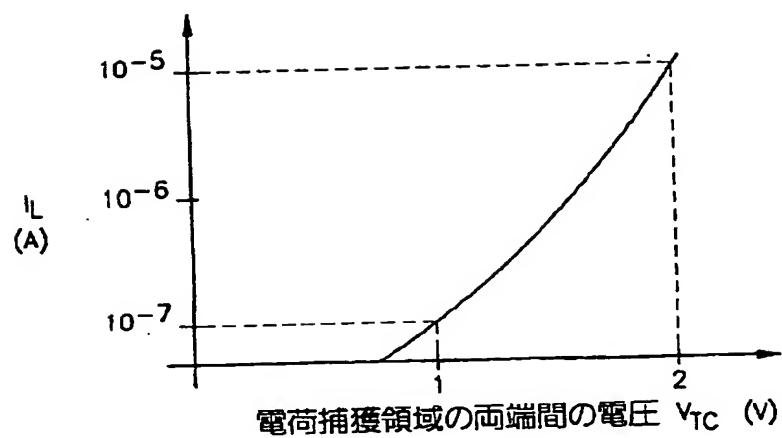


【図 8】

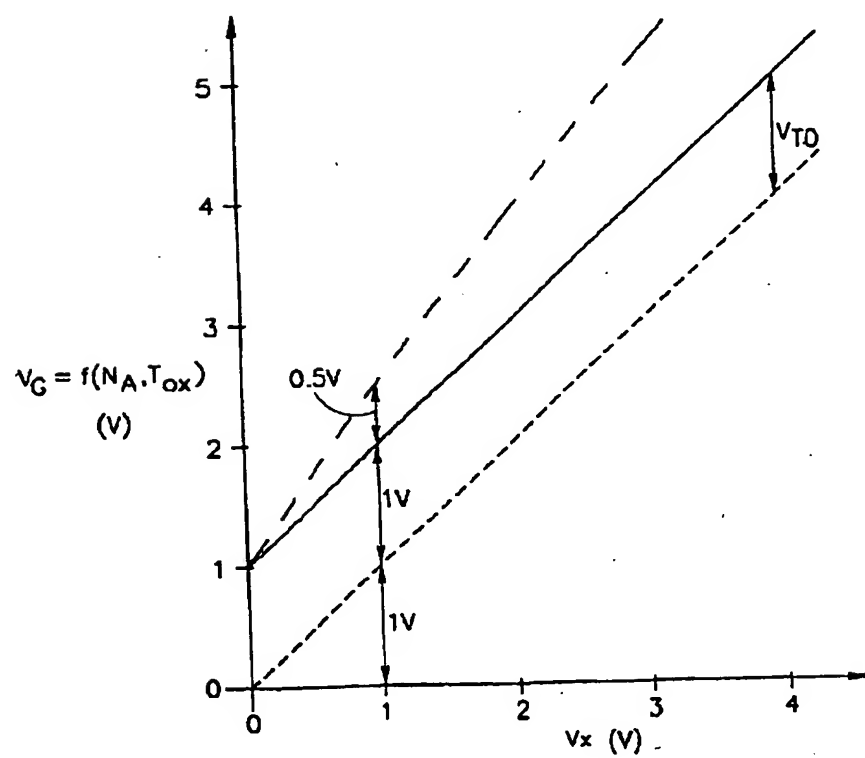


(115)

【図 9】

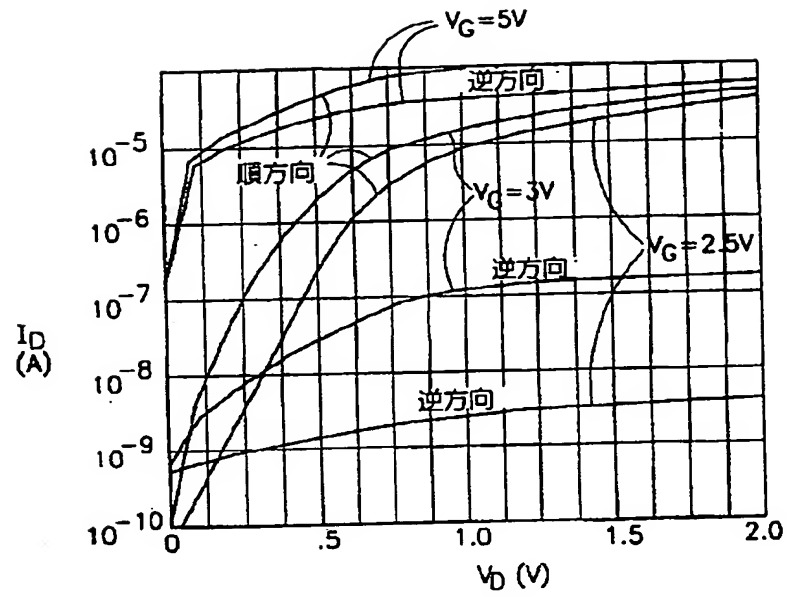


【図 10】

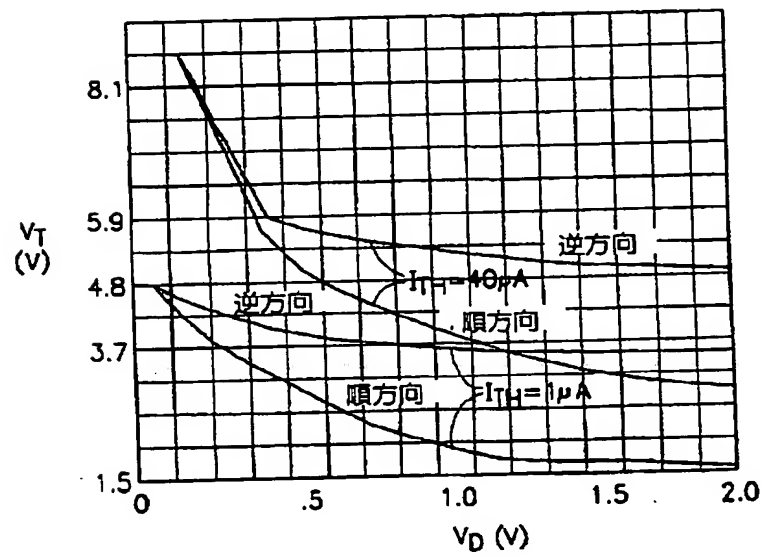


(116)

【图 1 1】

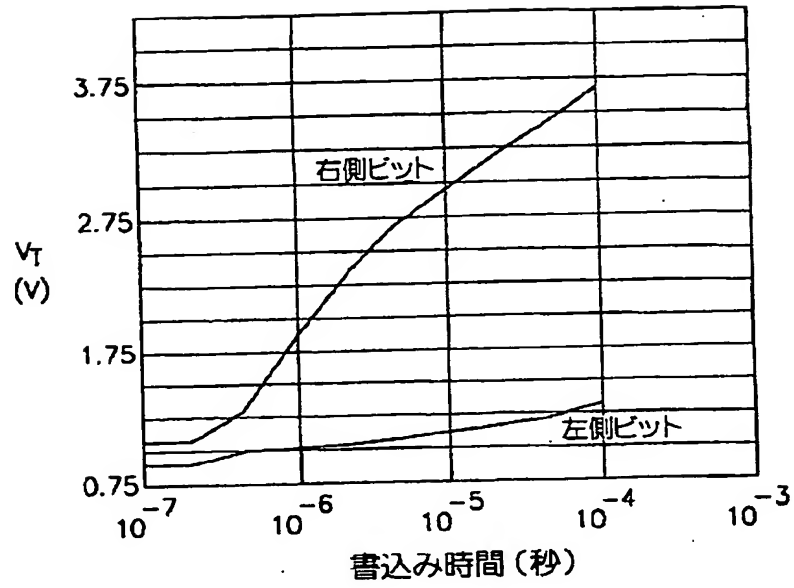


【图 1 2】

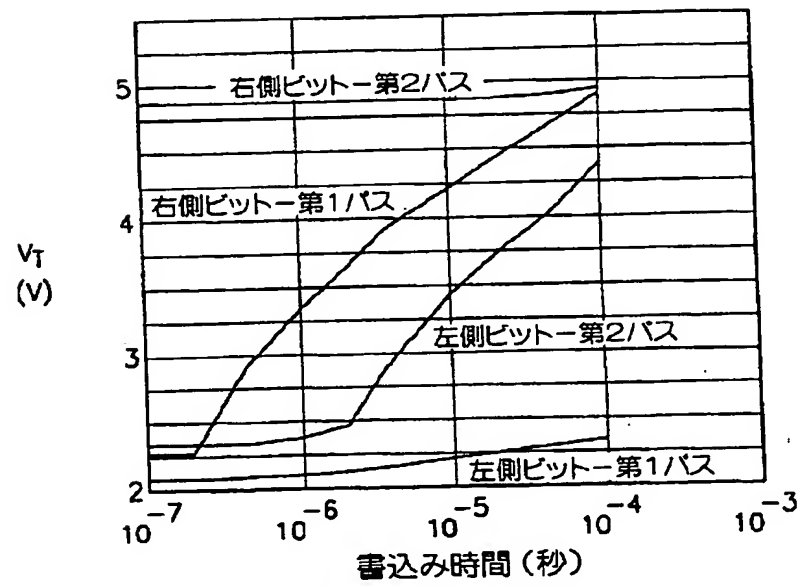


(117)

【図13】

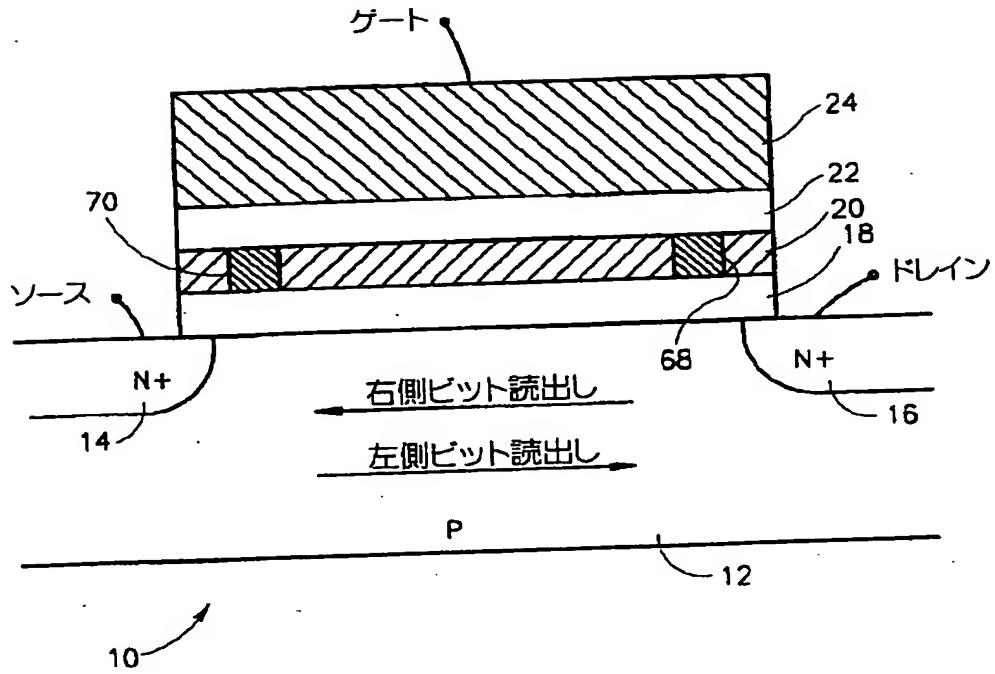


【図14】

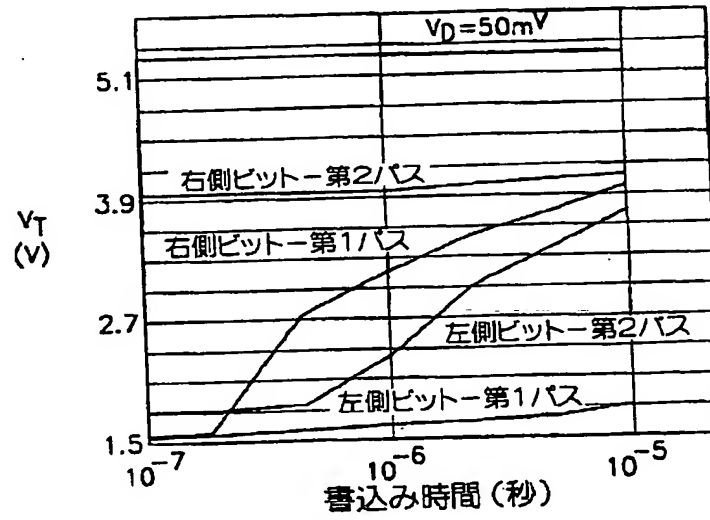


(118)

【図15】

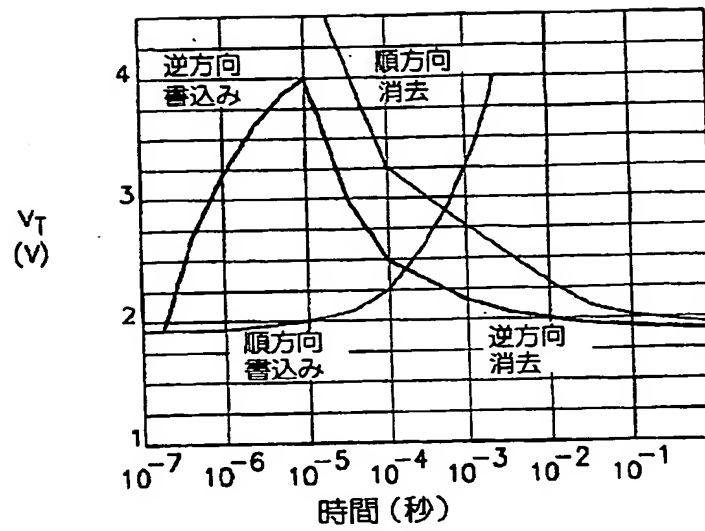


【図16】

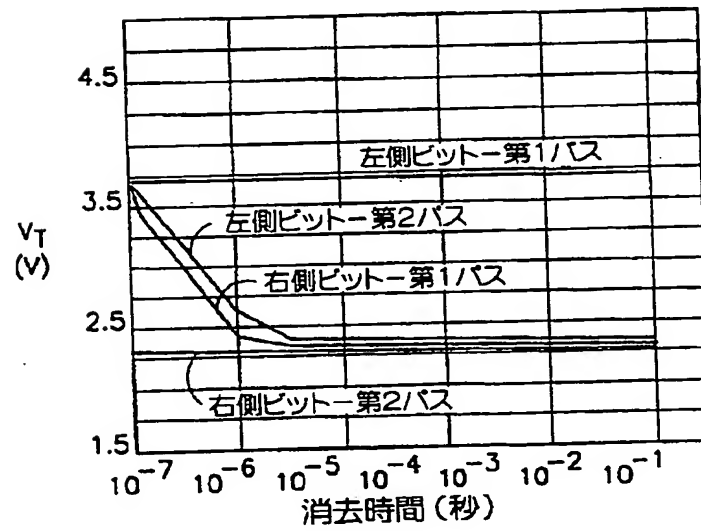


(119)

【図 17】

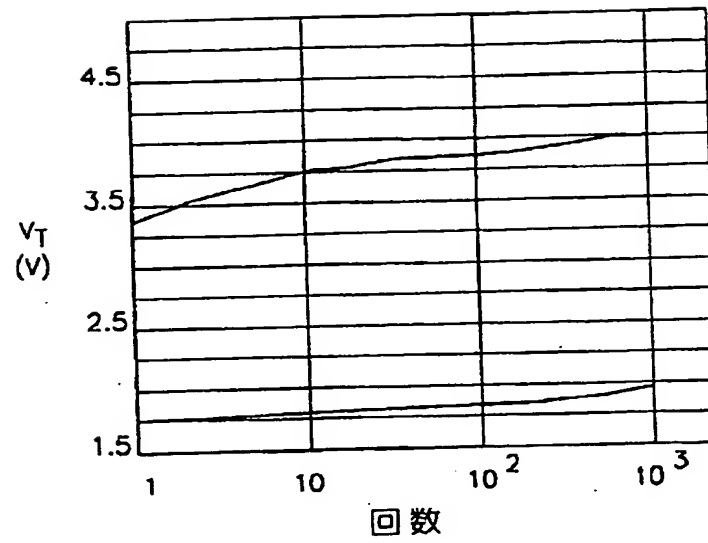


【図 18】

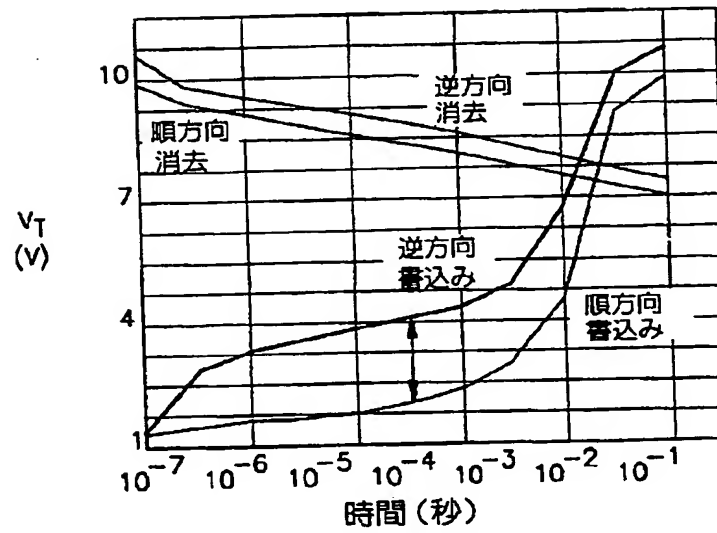


(120)

【図 19】

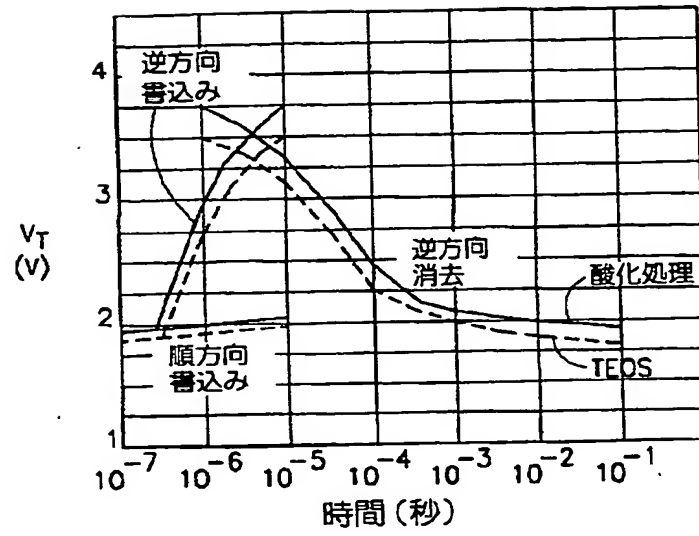


【図 20】

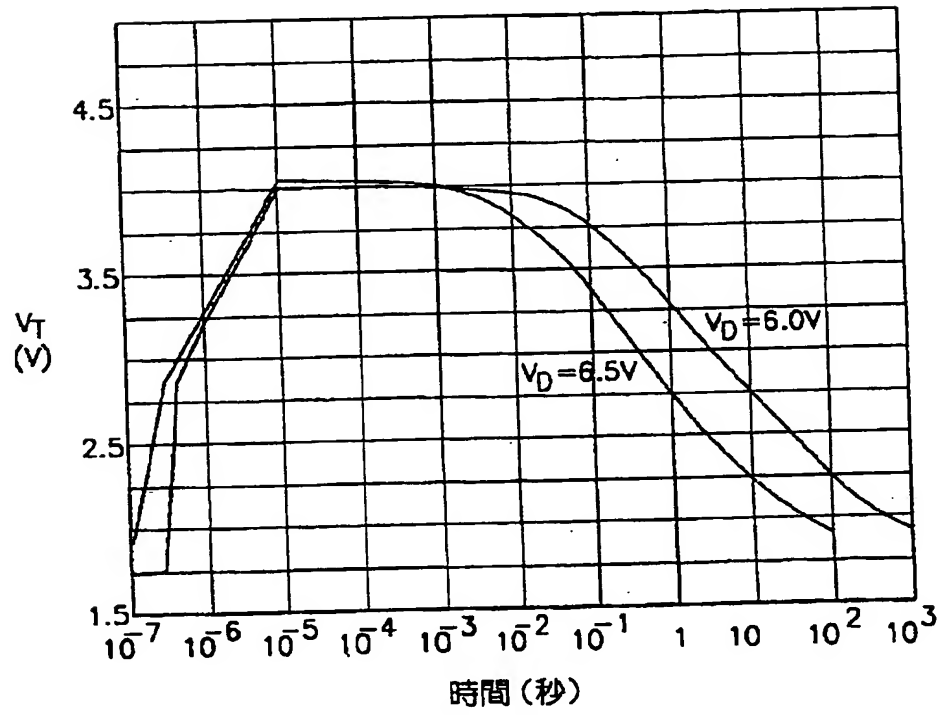


(121)

【図 2 1】

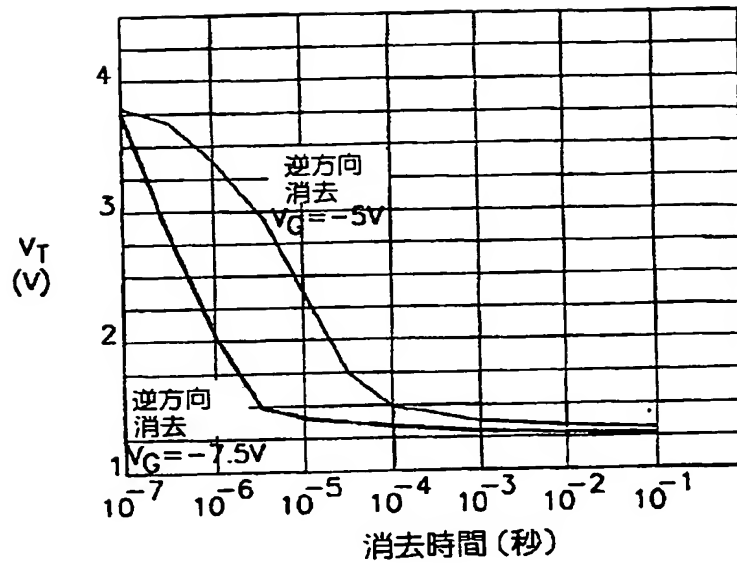


【図 2 2】

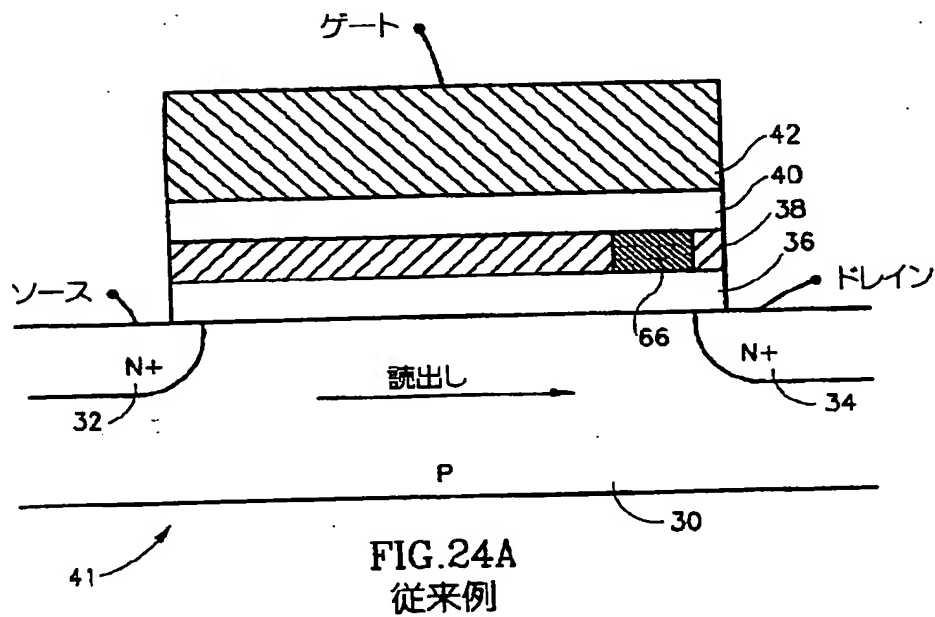


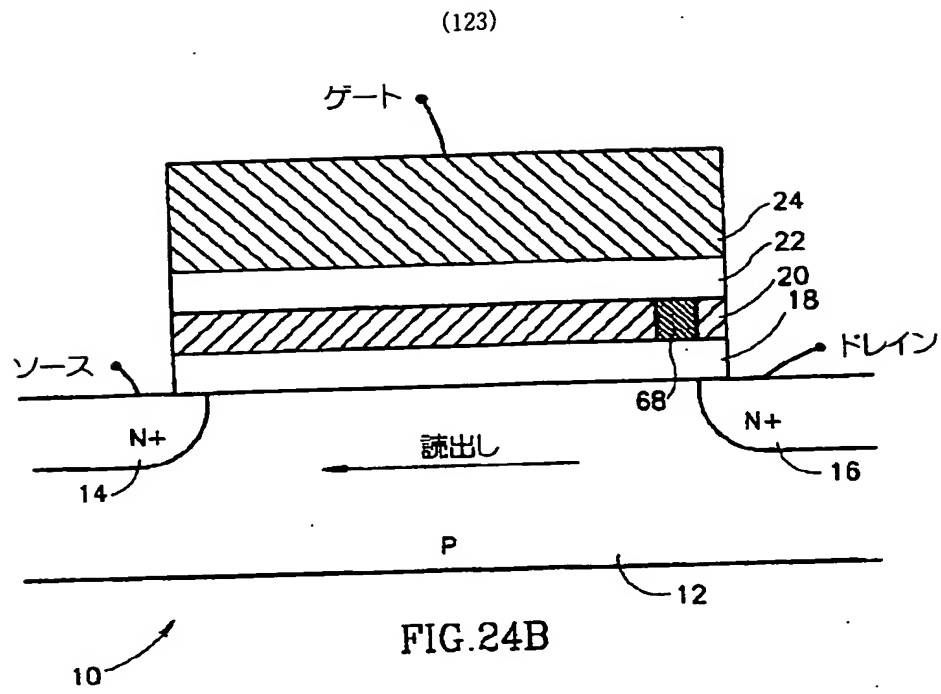
(122)

【図23】



【図24】





(124)

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IL98/00363
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H01L 29/788, 29/792 US CL : 257/317, 324 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/317, 324 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, L	US 5,768,192 (EITAN) 16 June 1998 (16/06/98), see entire document.	1-68
A, P	US 5,654,568 (NAKAO) 05 August 1997 (05/08/97), see entire document, especially Figure 6E.	1-68
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 04 JANUARY 1999		Date of mailing of the international search report 26 JAN 1999
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer JAMES J. CARROLL Telephone No. (703) 308-4926

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW

Fターム(参考) 5F001 AA01 AA11 AA14 AA34 AC02
AC06 AD19 AE02 AE03 AE08
AF20
5F083 EP02 EP17 EP18 EP23 ER02
ER05 ER09 ER11 ER14 ER15
ER17 ER22 ER27 JA04
5F101 BA01 BA16 BA41 BA46 BC02
BC11 BD10 BE02 BE05 BE07
BF05

【要約の続き】

の領域に別の書込み用電圧を印加し、他方の領域を接地して行う。十分に加速されたホット・エレクトロンが、電荷捕獲膜のうちの書込み用電圧が印加されている領域へ注入される。一方、このメモリ・デバイスの読出しは、書込み方向とは逆方向に行うようにしており、即ち、ゲートに読出し用電圧を印加し、右側領域と左側領域のいずれか一方の領域に別の読出し用電圧を印加し、他方の領域を接地して行う。2個のビットの書込み及び読出しが可能であるのは、ゲート電圧を比較的低く設定し、且つ、読出しを逆方向に行うようにしているからである。これによって、電荷捕獲領域の両端間に作用する電圧が格段に小さくなる。また、これによって、各ビットに対応した限局された電荷捕獲領域に捕獲されている電荷の効果が増幅されるため、書込み時間が格段に短縮される。更に、ゲートに消去用電圧を印加し、左側領域と右側領域とのいずれか一方の領域に別の消去用電圧を印加して、その電圧を印加した領域に対応した窒化膜の電荷捕獲領域から電子を排出することによって、このメモリ・セルの2個のビットの消去を個別に行うことができる。